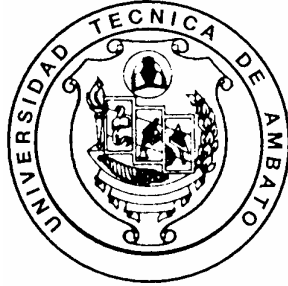


UNIVERSIDAD TÉCNICA DE AMBATO



FACULTAD DE INGENIERÍA EN SISTEMAS CARRERA DE INGENIERÍA EN ELECTRÓNICA

PROYECTO DE GRADUACIÓN MODALIDAD PASANTÍA PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERÍA EN ELECTRÓNICA

TEMA:

**“Diseño de un Sistema Automático de Control del acceso a los
Armarios de Distribución Telefónicos de la Ciudad de Ambato –
Central Ambato 2”**

Autora:

Tatiana P. Zambrano Valverde

Tutor:

Ing. Marco Jurado

Ambato, Noviembre 2006

APROBACIÓN DEL TUTOR

En calidad de tutor del trabajo de investigación sobre el tema “DISEÑO DE UN SISTEMA AUTOMÁTICO DE CONTROL DEL ACCESO A LOS ARMARIOS DE DISTRIBUCIÓN TELEFÓNICOS DE LA CIUDAD DE AMBATO – CENTRAL AMBATO 2”, de la Srta. Tatiana Paola Zambrano Valverde, estudiante de la Carrera de Electrónica y Comunicaciones, de la Facultad de Ingeniería en Sistemas, Universidad Técnica de Ambato, considero que dicho informe investigativo reúne los requisitos y méritos suficientes para ser sometidos a la evaluación de conformidad con el Art. 68 del Capítulo IV Pasantías, del Reglamento de Graduación de Pregrado de la Universidad Técnica de Ambato.

El Tutor

Ing. Marco Jurado

AUTORÍA

El contenido del presente trabajo investigativo así como sus ideas y opiniones son de exclusiva responsabilidad de su autora.

Tatiana Paola Zambrano Valverde

C.C. 060332441-9

AGRADECIMIENTO

A Dios, el Ingeniero del Universo y de mi vida.

Y a quienes compartieron conmigo conocimientos muy valiosos:

Ing. Marco Jurado, Ing. Darwin Castro, Carlitos Balseca.

DEDICATORIA

Este trabajo lo dedico a quienes en momento de dudas me acompañaron a buscar sabiduría, en momento de cansancio me incentivaron a que sea constante, y en momentos de triunfo celebraron conmigo, motivándome a conseguir el siguiente:

A mi mami y hermana.

INDICE GENERAL

A. PÁGINAS PRELIMINARES

PORTADA	I
APROBACIÓN DEL TUTOR	II
AUTORÍA	III
DEDICATORIA	IV
AGRADECIMIENTO	V
INDICE GENERAL	VI
INDICE DE FIGURAS Y TABLAS	VIII

B. TEXTO

CAPITULO 1

EL PROBLEMA

1.1 Planteamiento del Problema	1
1.2 Justificación de la Investigación	3
1.3 Objetivos	3
1.4 Hipótesis de trabajo	4
1.5 Variables	4

CAPITULO 2

MARCO TEORICO

2.1 Marco teórico o Fundamentación conceptual	6
2.1.1 Terminología general de Telefonía Fija	6
2.1.2 Tarjetas con chip	8
2.1.3 Tarjeta con chip del tipo SLE-4442 de 16 bytes	19
2.1.4 Lectores de tarjetas inteligentes.	26

2.1.5 Automatización con microcontroladores.	28
2.1.6 PIC 16f872	33
2.1.7 Control por computadora	45
2.1.8 Comunicación serial	46
2.1.9 Interfaz RS-232	49
2.1.10 Introducción a Labview.	52
2.1.11 Sistema de Modulación y Demodulación Digital FSK	54

CAPÍTULO 3

METODOLOGÍA

3.1 Enfoque investigativo	60
3.2 Nivel y tipo	60
3.3 Población y muestra	60

CAPITULO 4

DISEÑO DE UN SISTEMA AUTOMÁTICO DE CONTROL DEL ACCESO A LOS ARMARIOS DE DISTRIBUCIÓN TELEFÓNICOS.

4.1 Requerimientos de Andinatel S.A	61
4.2 Desarrollo del proyecto.	62

CAPÍTULO 5

CONCLUSIONES Y RECOMENDACIONES

5.1 Conclusiones	88
5.2 Recomendaciones	89

BIBLIOGRAFÍA	90
--------------	----

ANEXOS

INDICE DE FIGURAS Y TABLAS

Figura 1. Estructura genérica de Tarjetas con Memoria	11
Figura 2. Estructura genérica de Tarjetas con Memoria y Seguridad	12
Figura 3. Estructura genérica de Tarjetas Inteligentes	13
Figura 4. Contactos de una chipcard	15
Figura 5. Dimensiones de una chipcard	17
Figura 6. Disposición de los contactos de la tarjeta SLE-4442	19
Figura 7. Reset de la chipcard SLE-4442	20
Figura 8 (a). Modo de datos y procesado de la SLE-4442	22
Figura 8 (b). Modo de datos cuando se manda comando de lectura	22
Figura 9. Modo de escritura de la SLE-4442	24
Figura 10. Formación de los comandos de la SLE-4442	25
Figura 11. Arquitectura de un microcontrolador	29
Figura 12. Entorno de desarrollo MPLAB	32
Figura 13. Pines del PIC16f872	34
Figura 14. Circuito oscilador	36
Figura 15. Registros del PIC16f872	37
Figura 16. Bits del Registro STATUS	38
Figura 17. Bits del registro INTCON	40
Figura 18. Bits del registro OPTION_REG	42
Figura 19. Puertos de una computadora	46
Figura 20. Pines del conector serial RS-232	49
Figura 21. Comunicación serial con tres líneas	50
Figura 22. Comunicación serial con ocho líneas	50
Figura 23. MAX-232	52
Figura 24. Panel Frontal de Labview	53
Figura 25. Diagrama de bloques de Labview	53
Figura 26. Modulación FSK	55
Figura 27. Diagrama esquemático del XR-2206	57

Figura 28. Demodulación FSK	58
Figura 29. Diagrama de bloques del XR-2211	59
Figura 30. Diagrama genérico del proyecto desarrollado	62
Figura 31. Items involucrados en el circuito de los A.D.T	63
Figura 32. Componentes del control de acceso a los A.D.T	64
Figura 33. Chipcard	65
Figura 34. Zócalo para PCB de la chipcard	67
Figura 35. Diagrama del circuito lector de chipcard	69
Figura 36. Comando Lectura de Memoria	70
Figura 37. Orden de lectura de bits	70
Figura 38. Formas de onda de la Lectura de la tarjeta	71
Figura 39. Parámetros de la transmisión serial	72
Figura 40. Transmisión serial	72
Figura 41. Organigrama de transmisión serial	73
Figura 42. Circuito de control de acceso a los A.D.T	75
Figura 43. Organigrama del circuito de control de acceso	76
Figura 44. Sistema de transmisión FSK	78
Figura 45. Circuito Modulador FSK	79
Figura 46. Formas de onda del circuito modulador FSK	80
Figura 47. Formas de onda de la señal modulada	83
Figura 48. Circuito Demodulador FSK	83
Figura 49. Circuito MAX-232	85
Figura 50. Configuración del puerto serial	86
Figura 51. Software de recepción	87

TABLAS

Tabla 1. Datos de bytes de la SLE-4442	25
Tabla 2. Bits del registro STATUS	39
Tabla 3. Bits del registro INTCON	41
Tabla 4. Bits del registro OPTION_REG	42
Tabla 5. Direcciones de los puertos seriales	46

CAPÍTULO 1

EL PROBLEMA

1.1 PLANTEAMIENTO DEL PROBLEMA

Al hablar de Telecomunicaciones, no sólo se hace referencia al hecho de lograr una comunicación óptima a distancia, sino que además, se hace mención a la seguridad con la que podamos realizarla.

La salvaguarda de la información que se transmite y recibe, se ha convertido en uno de los desafíos más importantes con el que se enfrentan hoy en día las empresas que operan en esta área.

Andinatel S.A, es la empresa de Telecomunicaciones que actualmente brinda servicios de telefonía fija, transmisión de datos e Internet, en nuestro país, mayoritariamente en la zona sierra. Ésta empresa como muchas otras, lo que persigue, es consolidarse como una entidad que ofrezca una infraestructura de telecomunicaciones innovadora y sobre todo segura, que brinde la confianza que el usuario necesita al momento de hacer uso de ella.

Lamentablemente, no toda la infraestructura que utiliza tiene un alto nivel de confiabilidad, refiriéndonos específicamente a su planta externa, ya que se muestra vulnerable al estar expuesta a la intemperie y a la intervención de personas no autorizadas que erróneamente la manipulan para su beneficio.

En la provincia de Tungurahua, en el cantón Ambato, existen muchos casos que evidencian ello, un ejemplo concreto es el de los armarios de distribución telefónicos, que se encuentran ubicados y repartidos en las diferentes calles de la

ciudad, en un número aproximado de 115; y que son los encargados de portar en su interior los diferentes pares telefónicos, tanto de red primaria como de red secundaria, que hacen posible la conexión del servicio telefónico a los abonados.

Ante la creciente movilidad de la delincuencia, éstos se ven perjudicados, ya que se sabe, que cualquier persona que logre acceder a un armario telefónico, ocasiona perjuicios a algún abonado, y hace que la empresa como tal, pierda credibilidad.

Estos perjuicios podrían hacer que:

- ☎ Los usuarios que reciben el servicio telefónico se vean amenazados ante un posible robo de línea, debido a que personas extrañas manipulan los armarios telefónicos, y ante ello los abonados deberían pagar por el servicio más de lo que han consumido realmente.
- ☎ No se tenga la privacidad al momento de utilizar el servicio, ya que podrían escuchar la conversación tan solo haciendo uso de un par de puntas desde el par del armario de distribución.
- ☎ Los abonados se expongan a un corte de línea repentino, debido por ejemplo, a actos vandálicos.
- ☎ Exista la planificación de robos o secuestros violando la intimidad del servicio telefónico.

La falta de un sistema de control ha impedido que se logre mermar esta situación.

Hasta el momento no se ha desarrollado, pues, ningún mecanismo que contrarreste nuestra realidad, pero ante la continua presencia de dichos hechos, la misma sociedad es quien exige la creación de un sistema que controle estos incidentes.

1.2 JUSTIFICACIÓN DE LA INVESTIGACIÓN

La presencia redundante de los problemas antes descritos, hace necesaria la creación de un sistema de control de apertura de los armarios de distribución telefónicos, para de esa forma, evitar en lo posible que se sigan presentando problemas tanto en la empresa que provee el servicio como en las personas que se ven beneficiados por él.

Mediante la automatización de los armarios de distribución telefónicos de la ciudad de Ambato, se podrá controlar de mejor forma el acceso a ellos, impidiendo que se den anomalías en el funcionamiento de los mismos; ofreciendo un control riguroso de las personas que accedan a éstos y un informe de cuál o cuáles armarios están siendo operados en ese momento.

Esto se puede lograr mediante la implementación de un sistema en la Central Telefónica de Andinatel, que permita monitorearlos todo el tiempo, llevando un registro de lo que suceda con cada uno de ellos, a fin de optimizar el sistema de seguridad que pueda ofrecer la empresa a los abonados.

1.3 OBJETIVOS

GENERAL:

- Diseñar un sistema automático de control del acceso a los armarios de distribución telefónicos de la ciudad de Ambato, Central Ambato 2.

ESPECÍFICOS:

- Automatizar el acceso a los armarios telefónicos haciendo uso de una tarjeta con chip.

- ☑ Crear una base de datos referente a los armarios telefónicos de la Central Ambato 2 de Andinatel y al registro de los técnicos que podrán tener acceso a éstos.

- ☑ Controlar desde una PC de la Central Ambato 2 de Andinatel la forma en que se está trabajando en el armario telefónico, además de llevar un registro de la hora, tanto a la que se accede como también a la que se cierra éste.

1.4 HIPÓTESIS

La seguridad puesta a los armarios telefónicos mediante el uso de una tarjeta inteligente, impedirá el acceso a las personas que no tengan este dispositivo validado correctamente y con la presencia de un microcontrolador que será el elemento principal del lector, se podrá habilitar o no la apertura de la puerta del armario, generando señales de aviso de la actividad del mismo. Dichas señales de información recorrerán ciertas distancias hasta llegar a su destino final, el Distribuidor de Andinatel, en donde, tendrán como elemento terminal un software, que generará reportes de la actividad del acceso a los armarios de distribución, llevando así un registro de la operación de éstos desde la Central donde estará la base de datos referentes a los armarios y a las personas que posean el medio para acceder a ellos.

1.5 VARIABLES

VARIABLES INDEPENDIENTES:

- Armarios de Distribución Telefónicos.

- Distribuidor.

- Medio de comunicación

VARIABLE DEPENDIENTE:

- Sistema de acceso automatizado.

A continuación, se presenta un extracto de lo que contiene cada uno de los siguientes cuatro capítulos que conforman este trabajo:

CAPÍTULO 2:

Presenta todo el marco teórico que fundamenta esta investigación, brindando un sistema coordinado y coherente de conceptos y proposiciones que permiten abordar el problema; partiendo desde los conceptos básicos de telefonía fija, y profundizando en cuanto a chipcards, lectores de chipcards, automatización con microcontroladores, control por computadora y sistemas de transmisión FSK.

CAPÍTULO 3:

Enfoca la metodología utilizada, tipificando y describiendo la modalidad que tendrá la investigación.

CAPÍTULO 4:

Es una exposición clara del “Diseño de un Sistema Automático de Control del acceso a los Armarios de Distribución Telefónicos”, en donde se explica paso a paso el procedimiento en el que fue desarrollando éste; profundizando en parámetros tales como: Desarrollo del control de acceso, Medio de transmisión, Sistema de Comunicación y Software de Recepción ; y tomando en cuenta los aspectos que impuso Andinatel S.A para la ejecución del mismo.

CAPÍTULO 5:

Comprende las conclusiones y recomendaciones a las cuales se llegó después de haber culminado con el desarrollo de este proyecto.

CAPITULO 2

MARCO TEÓRICO

2.1 MARCO TEÓRICO O FUNDAMENTACIÓN CONCEPTUAL

2.1.1 TERMINOLOGÍA GENERAL DE TELEFONÍA FIJA

① Armario de Distribución

Gabinete metálico o de fibra de vidrio con bastidor especial, útil para instalar terminales de cable.

Armarios Metálicos: Están hechos de chapa de acero formando una construcción robusta. La puerta posee dos o tres bisagras, según sea la altura del armario. Poseen orificios de ventilación en la parte superior que garantizan una ventilación adecuada. En el interior del armario hay un bastidor con barras de montaje para la instalación de bloques de conexión.

Armarios de Fibra de Vidrio: Están hechos de plástico reforzado con fibra de vidrio y tienen características de alta resistencia mecánica y a la intemperie. Presentan un sistema de ventilación que permite el equilibrio de presión interna con la externa. El bastidor está fabricado con piezas de chapa de acero protegidas contra corrosión por medio de un recubrimiento galvanizado o por un revestimiento de plástico.

① Repartidor General

Es el repartidor de una central local, en la cual terminan los pares de cable y el múltiple de la central. Cualquier par de cable puede ser conectado en cruz a cualquier número de múltiple de la central.

① Par Telefónico

Son dos conductores de cobre con sus respectivos aislantes.

① Cable de Distribución (Cable Secundario)

Cable que une el punto de subrepartición o armario con un punto de distribución o dispersión.

① Cable Principal (Cable Primario)

Cable que une el repartidor principal de una central con un armario de distribución u otro punto de subrepartición.

① Cable de Enlace

Cable entre dos puntos de distribución (PDD) o dos puntos de dispersión (PD) de diferentes rutas.

① Pares Cortados

Pares de cables conectados a los terminales solamente en el extremo central.

① Pares de Reserva

Pares de cables conectados a los terminales en ambos extremos del cable pero que todavía no están en servicio.

① Pares Muertos

Pares de cable que no están conectados a los terminales de cable en el extremo de la central, ni tampoco en el extremo del abonado.

2.1.2 TARJETAS CON CHIP

ANTECEDENTES

Hace más de veinte años un periodista francés llamado Roland Moreno patentaba la integración de un procesador en una tarjeta de plástico; sin duda, no podía imaginar el abanico de aplicaciones de seguridad que ese nuevo dispositivo, denominado chipcard, estaba abriendo. Desde entonces, cientos de millones de esas tarjetas han sido fabricadas, siendo usadas para fines que varían desde las tarjetas monedero más sencillas hasta el control de accesos a instalaciones militares y agencias de inteligencia de todo el mundo; cuando a las chipcards se les incorporó un procesador inteligente nacieron las smartcards, revolucionando en el ámbito de la autenticación de usuarios.

DEFINICIÓN

Desde un punto de vista formal, una chipcard es un dispositivo de seguridad del tamaño de una tarjeta de crédito, resistente a la adulteración, que ofrece funciones para un almacenamiento seguro de información y también para el procesamiento de la misma. En la práctica, éstas poseen un chip semiconductor de silicio empotrado en la propia tarjeta que puede implementar un sistema de ficheros cifrado y funciones criptográficas, y además puede detectar activamente intentos no válidos de acceso a la información almacenada; este chip inteligente es el que las diferencia de las simples tarjetas de crédito, que solamente incorporan una banda magnética donde va almacenada cierta información del propietario de la tarjeta.

Durante los últimos años, las tarjetas con chip son cada vez más utilizadas en aplicaciones basadas en tarjetas. En pocos años irán sustituyendo a las tradicionales tarjetas con banda magnética debido a la seguridad y fiabilidad que ofrecen. Entre las ventajas que aportan destacamos las más importantes:

- Altos niveles de seguridad.

- Confiabilidad.
- Resistencia a la modificación para proteger las claves privadas y otros tipos de información personal, es decir, resguarda la información guardada de posibles accesos no autorizados.
- Reducción de fraude.
- Información organizada.
- Gran capacidad de memoria; pueden llegar hasta 64 Kb.
- Alto manejo de información.
- Aislamiento de los cálculos críticos para la seguridad, que incluyen la autenticación, las firmas digitales y el intercambio de claves de otras partes del sistema que no es necesario conocer.
- Habilitación del transporte de credenciales y otra información privada entre equipos, tanto en la oficina como en el hogar o en los viajes.
- Facilidad de uso sin necesidad de conexiones en línea o vía telefónica.
- Comodidad para el usuario.
- Privacidad.
- Es más difícil perder la información que contienen; la banda magnética es de fácil deterioro.
- Garantizar operaciones económicas, 100% efectivas y a prueba de robos.

- Estándares específicos ISO 7810, 7811, 7816, 9992, 10536.
- Tarjetas inteligentes multiservicio.
- Administración y control de pagos más efectivo.
- A través de Internet los usuarios de tarjetas inteligentes pueden comprar por computador y pagar por red.

CLASIFICACIÓN DE LAS TARJETAS CON CHIP

Actualmente las tarjetas con chip se pueden clasificar en tres tipos diferentes:

1. Tarjetas con Memoria EEPROM (Electrical Erasable Programable Read Only Memory)
2. Tarjetas con memoria y circuitos de protección.
3. Tarjetas con CPU, memoria RAM, ROM y EEPROM, denominadas tarjetas inteligentes (smartcards)

1. TARJETAS CON MEMORIA.

Generalmente, este tipo de tarjetas solamente tiene una memoria ROM, donde están almacenados los datos de identificación (fabricante, tipo de aplicación, número de serie, etc.) y una memoria EEPROM destinada a almacenar los datos de la aplicación.

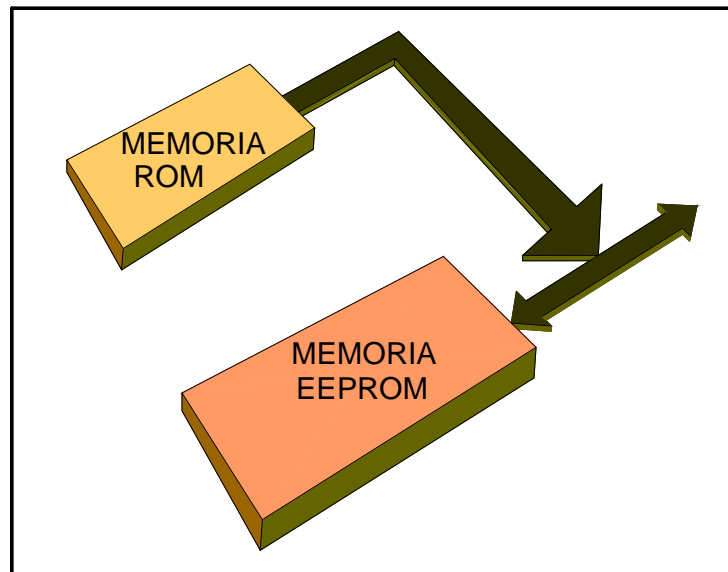


Figura 1. Las tarjetas más sencillas solo disponen de memoria ROM y memoria EEPROM

2. TARJETAS CON MEMORIA Y SEGURIDAD.

Estas tarjetas son idénticas a las descritas anteriormente, pero con la particularidad de que se les ha añadido un sistema de protección basado en impedir que se acceda a una parte de la memoria EEPROM si no se conoce la clave de acceso. Normalmente se puede llegar a todo el mapa de memoria, excepto a una serie de bytes que forman parte de la memoria protegida o de seguridad. Para acceder a ellos es imprescindible proporcionar la clave a través del contacto Entrada/Salida. Si ésta no es la correcta, el chip devuelve un error y su contador de errores se verá disminuido en una unidad. Cuando el contador de errores llega a cero, la tarjeta quedará irreversiblemente inservible, es decir, ya no será posible, en ningún caso, acceder a la memoria protegida. Por el contrario, si después de proporcionar una clave errónea se facilita la correcta (siempre antes de que el contador esté en cero intentos de acceso) el contador de errores recuperará su valor máximo de intentos de acceso.

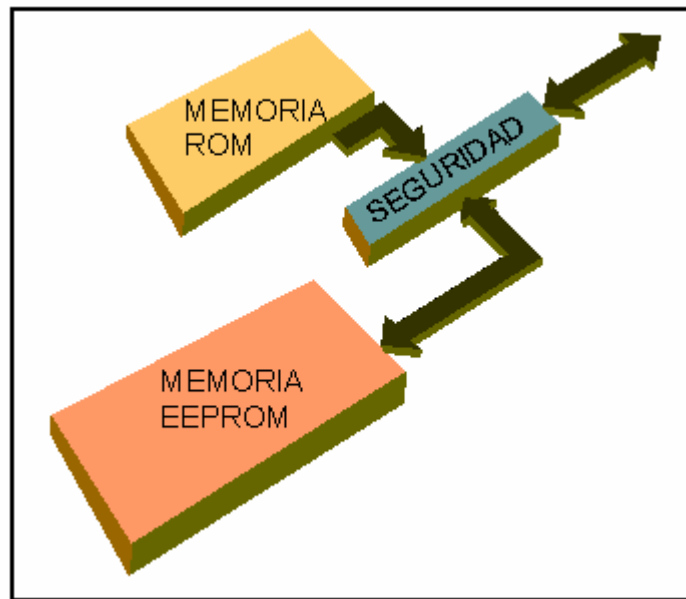


Figura 2. Además de la memoria ROM y EEPROM, pueden tener circuitos de seguridad para proteger la información.

3. TARJETAS INTELIGENTES (SMARTCARDS)

Son tarjetas más completas y complejas que las anteriores, pues además poseen un microprocesador. En el chip de la tarjeta están integrados todos los elementos básicos de un sistema de microprocesador: ROM, RAM, EEPROM y puerto de entrada/salida.

La ROM (Read Only Memory) enmascarada, contiene el sistema operativo de la tarjeta; ésta memoria se graba durante el proceso de fabricación.

La memoria RAM (Random Access Memory) es la memoria de trabajo del microprocesador; su información se pierde al desconectar la alimentación de la tarjeta.

La memoria EEPROM (Electrical Erasable Programmable Read Only Memory) es la memoria no volátil del microprocesador, en ella se guardan los datos de usuario y de la aplicación, así como el código de instrucciones del sistema operativo.

El Sistema Operativo de una tarjeta inteligente (también denominado Máscara) es una secuencia de instrucciones almacenadas permanentemente en la ROM de la tarjeta inteligente. El sistema operativo es lo que distingue y caracteriza a las tarjetas inteligentes. Por consiguiente se pueden implementar varios sistemas operativos sobre el mismo chip.

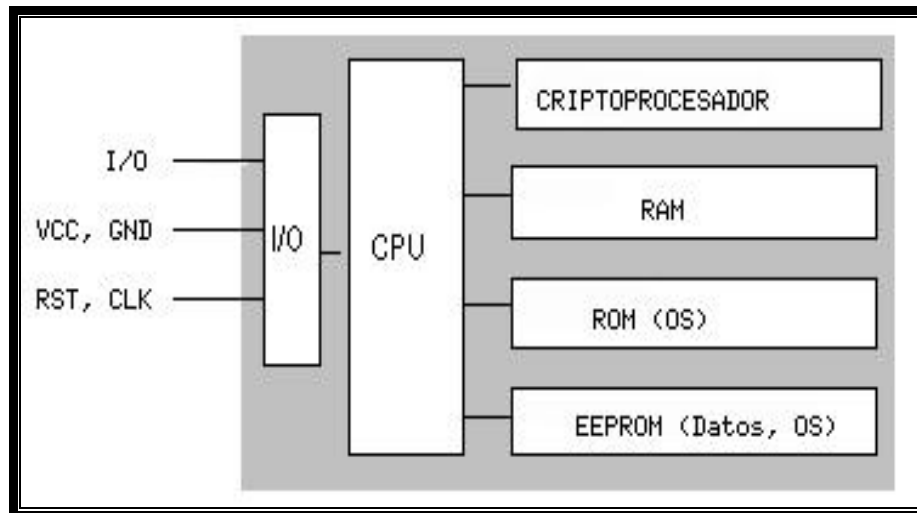


Figura 3. Estructura genérica de una tarjeta inteligente.

En la *Figura 3*, se muestra la estructura más generalizada de una tarjeta inteligente; en ella podemos observar que el acceso a las áreas de memoria solamente es posible a través de la unidad de entrada/salida y de una CPU (típicamente de 8 bits), lo que evidentemente aumenta la seguridad del dispositivo. Existe también un sistema operativo empotrado en la tarjeta - generalmente en ROM, aunque también se puede extender con funciones en la EEPROM - cuya función es realizar tareas criptográficas; el criptoprocador apoya estas tareas.

CLASIFICACIÓN DE LAS TARJETAS INTELIGENTES

- ♣ Tarjeta Inteligente de Contacto: Estas tarjetas son las que necesitan ser insertadas en una terminal con lector inteligente para que por medio de contactos pueda ser leída. Existen dos tipos de tarjeta inteligente de contacto: Las sincrónicas y las asincrónicas.

Tarjetas Inteligentes Sincrónicas: Son tarjetas con solo memoria y la presentación de esta tarjeta inteligente y su utilización se concentra principalmente en tarjetas prepagadas para hacer llamadas telefónicas. Estas tarjetas contienen un chip de memoria que se utiliza generalmente para el almacenamiento de datos, dentro de esta categoría existen dos tipos de tarjeta:

- Memoria Libre: Carece de mecanismos de protección para acceder a la información.
- Memoria Protegida: Que necesita de códigos y pasos previos para tener acceso a la información. Estas tarjetas son desechables cargadas previamente con un monto o que va decreciendo a medida que se utiliza, una vez se acaba el monto se vuelve desechable, se utilizan a nivel internacional para el pago de peajes, teléfonos públicos, maquinas dispensadoras y espectáculos.

Tarjetas Inteligentes Asincrónicas: Son tarjetas inteligentes con microprocesador, ésta es la verdadera tarjeta inteligente, tiene el mismo tamaño y grosor de una tarjeta de crédito y el mismo grosor, pueden tener un cinta magnética en la parte posterior. Dentro del plástico se encuentra un elemento electrónico junto con la memoria RAM, ROM y EEPROM en el mismo chip.

- ♣ Tarjetas Inteligentes sin Contacto: Son similares a las de contacto con respecto a lo que pueden hacer y a sus funciones, pero utilizan diferentes protocolos de transmisión en capa, no utiliza contacto galvánico sino de interfase inductiva, puede ser de media distancia sin necesidad de ser introducida en una terminal de lector inteligente.

Una de las ventajas que esta tarjeta tiene es que como no existen contactos externos con la tarjeta, ésta es mas resistente a los elementos externos tales como la mugre.

- ♣ Tarjetas Superinteligentes: Estas cumplen las mismas funciones que las tarjetas inteligentes con microprocesador pero también están equipadas con un teclado, una

pantalla LCD y una pila. Esta tarjeta permite funcionar totalmente independiente por esto no hay necesidad de insertarla en una terminal.

CONTACTOS DE LAS TARJETAS CON CHIP

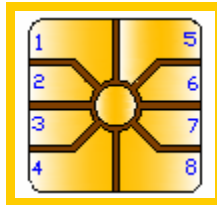


Figura 4. Contactos de las tarjetas con chip.

Las conexiones básicas de cualquier modelo de tarjeta con chip son :

1. La alimentación (Vcc): Es la conexión de alimentación a través de la cual el chip de la tarjeta recibe la tensión de 5v. necesarios para su funcionamiento.
2. Reset (RST): Un pulso en este contacto sirve para reiniciar la tarjeta, a partir del cual se sincronizan todas las operaciones a realizar.
3. Reloj (CLK): Es la conexión a través de la cual el chip recibe la señal externa de reloj.
4. Sin conexión.
5. Masa o Común (GND): Es la conexión común a todas las señales, incluida la alimentación.
6. Sin conexión.
7. Entrada/Salida (I/O): Es una conexión bidireccional, es decir, los datos circulan desde el exterior al interior de la tarjeta o viceversa, por lo que suele ser de tres estados: Alto, Bajo y Alta Impedancia. Cargando esta conexión con una resistencia conectada a la alimentación (pull-up) se aprovecha internamente para

la lectura. En el modo de escritura en la tarjeta, ésta conexión permanecerá internamente en alta impedancia, por lo que la tensión aplicada, 5v o 0v, serán tomadas internamente como un “1” o un “0” lógico, respectivamente. En modo lectura, el chip proporcionará 0v para indicar que el dato es un “0”, o se colocará en alta impedancia, siendo la resistencia de pull-up la que suministre la tensión que indicará que se trata de un “1” lógico.

8. Sin conexión.

ASPECTO FISICO

El tamaño más utilizado de las tarjetas con chip es el que se ha venido empleando durante muchos años en las tarjetas de banda magnética (85.6 mm. x 54 mm).

Este formato aconsejado por el estándar internacional ISO-7810, que se denomina ID-1, con nuevas recomendaciones, en cuanto a las dimensiones y posición de los contactos del chip, son las empleadas en la actualidad por éstas tarjetas. Este formato que proporciona al usuario gran comodidad de manejo, en muchas ocasiones es un problema para ciertas aplicaciones. Si observamos un teléfono móvil veremos la desproporción que existe entre el tamaño del teléfono y este formato de tarjeta. Por esto, se definieron otros formatos estandarizados: ID-00 e ID-000, aunque el primero hasta estos momentos se ha difundido muy poco, siendo el segundo más empleado en la actualidad gracias a la telefonía móvil GSM. Es evidente que por el formato tan diminuto de éstas tarjetas, no son cómodas para su utilización cotidiana, por lo que su uso, normalmente, está reservado para su inserción en elementos donde no se requiere que su extracción sea muy frecuente.

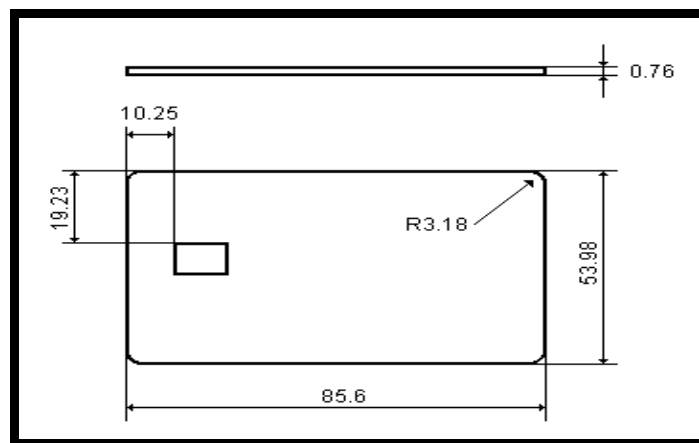
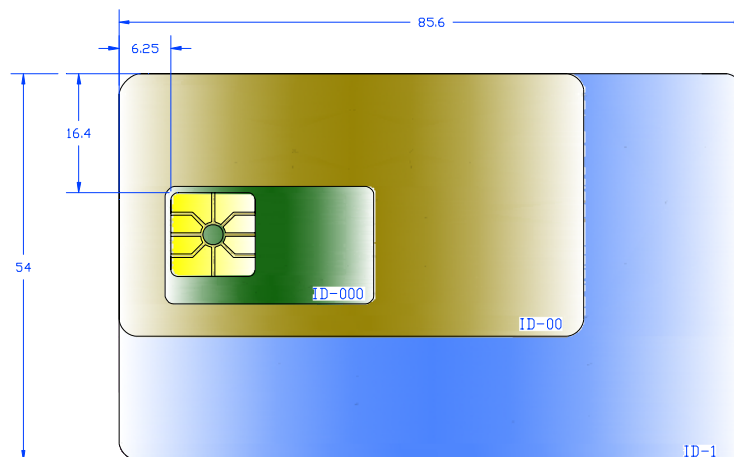


Figura 5. Dimensiones de la chipcard.

CARACTERÍSTICAS DE LA TARJETA SEGÚN LA ISO

Las especificaciones físicas, eléctricas, el formato de los comandos y todo lo relacionado con tarjetas se especifica en la norma ISO 7816 que está separado en tres partes diferentes:

- ISO7816-1 define las características físicas de la tarjeta
- ISO7816-2 define la dimensión y la posición de contacto de la tarjeta.
- ISO7816-3 define la señal escogida y los protocolos de transmisión

El estándar ISO7816 define muchas características físicas, a continuación se describen las más importantes:

♣ Luz Ultra Violeta:

Cualquier protección contra cualquier nivel de rayos UV, será responsabilidad del fabricante de la tarjeta.

♣ Rayos X:

La exposición de cualquiera de los dos lados de la tarjeta a una dosis de 0.1 Gy relativo a una radiación de energía media de rayos X de 70 a 140 Kv (dosis acumulativa por año) no deberá causar mal funcionamiento de la tarjeta.

♣ Perfil de la superficie de los contactos:

La diferencia de los niveles entre los contactos y la superficie de la tarjeta adyacente deberá ser menor de 0.1mm.

♣ Fuerza Mecánica:

La tarjeta deberá resistir daños sobre su superficie, por presión causada por una bola de acero de 1.5mm de diámetro en la cuál se aplica una fuerza de 1.5 N.

♣ Resistencia eléctrica.

Toda la resistencia eléctrica medida entre dos puntos cualquiera de los pines, no deberá sobrepasar los 0.5 Ohm, con cualquier valor común de 50 uA a 300 mA.

♣ Campo magnético.

El chip de la tarjeta no deberá ser dañada por campos de estática magnética de 79500 A.tr/m

- ♣ Electricidad estática.

El chip de la tarjeta no deberá ser dañado por descargas eléctricas de 1500 V o de 100 pF y tendrá 1500 Ohms

- ♣ Inflexión máxima de la tarjeta:

a) Largo de la tarjeta: Deformación (f): 2 cm., Periodicidad: 30 Inflexiones por minuto

b) Ancho de la tarjeta: Deformación (f): 1 cm., Periodicidad: 30 Inflexiones por minuto

Nota: La tarjeta deberá de trabajar correctamente y no deberá tener ninguna grieta o cuarteada después de 1000 inflexiones.

2.1.3 TARJETA CON CHIP DEL TIPO SLE-4442 DE 16 BYTES

Ésta es una tarjeta de seis contactos con 128 bits en su memoria EEPROM, en la actualidad su capacidad ha aumentado.

✧ Protocolo de Transmisión: Como se observa en la *Figura 6.* que muestra las conexiones de la tarjeta, hay tres de ellas que son fundamentales: Reset, CLK, e I/O a través de las cuales el chip se comunica con el exterior.

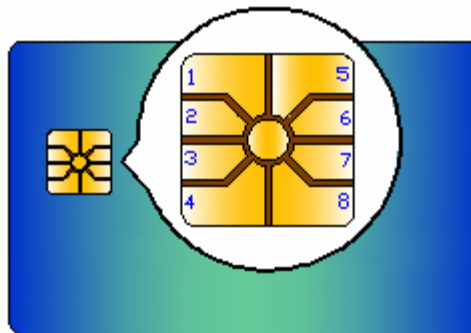


Figura 6. Disposición de los contactos de la tarjeta SLE-4442.

RST es una conexión de entrada al chip y sirve para indicarle que realice una inicialización. CLK es la entrada por la cual el chip recibe los pulsos de reloj. Por último, I/O es una conexión de entrada/salida es decir, los bits circulan desde o hacia el chip, según se trate de leer o escribir. Como esta línea es bidireccional, y no hay ninguna conexión con la cual indicar que se desea leer o escribir en el chip, su salida es de tipo “ open drain”, por lo que requiere una resistencia de pull-up externa; así pues, cuando la salida del chip es un “1” lógico, es dicha resistencia la que realmente proporciona la tensión de polarización positiva. El protocolo de transmisión tiene tres modos: Reset y respuesta al Reset, Modo de comando, Modo de datos y Modo de procesado.

1. Reset: Inicializar el chip no es tan sencillo como estamos acostumbrados; no basta con darle un pulso a través de ésta conexión y esperar. Es algo más complejo. Mientras dure el pulso de reset también hay que proporcionar un pulso de reloj a CLK y después de bajar a “0” la conexión Reset hay que suministrar otros 32 pulsos más de reloj. En cada subida a “1” de estos 32 pulsos, el chip proporciona un bit por la salida I/O. Los 32 bits así obtenidos contienen la información de los cuatro primeros bytes de la memoria protegida, de modo que el primer bit es el menos significativo del byte LSB. Después de bajar a “0” el pulso número 32 de reloj, el chip pone en alta impedancia su salida I/O en espera de recibir un comando.

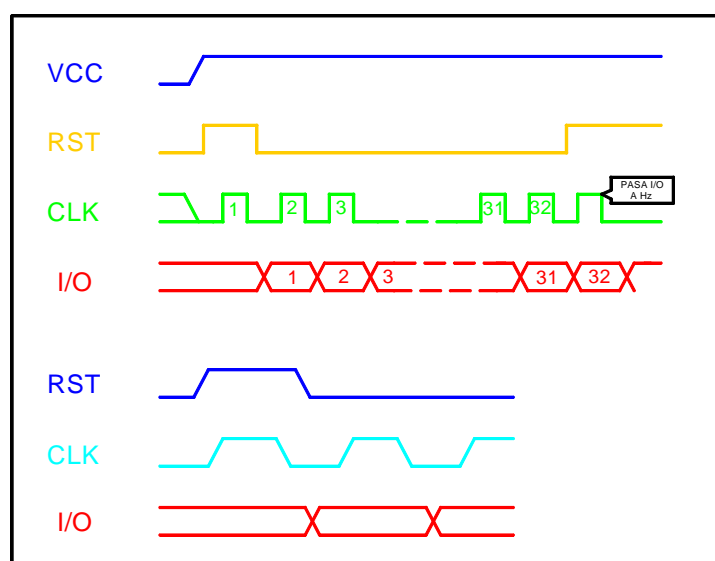


Figura 7. La inicialización del chip tiene lugar cuando la conexión RST está en “1” se produce un pulso de CLK.

2. Modo de Comando: Siempre que se realiza la función de reset, el chip se queda en estado de espera de recibir un comando. Todos los comandos empiezan con una condición de “start” seguido de tres bytes correspondientes al comando propiamente dicho y finalizan con una condición de “stop”. La condición de “start” se realiza al subir a “1” la señal de reloj y con ella en “1”, bajando a “0” la conexión I/O. A partir de ese momento por cada subida de reloj (24 en total) hay que proporcionar los bits correspondientes a los tres bytes del comando enviado. Se concluye con la condición de “stop” para ello, después de bajar a “0” el pulso 24 de Clk, hay que subirlo a “1” y en ésta situación subir también a “1” la señal I/O. Nuevamente el chip se queda en espera de recibir o enviar datos por cada pulso de reloj (Modo de procesado y Modo de datos respectivamente), ello dependerá del comando proporcionado anteriormente.

3. Modo de datos y de procesado: Como hemos dicho en el párrafo anterior, después de enviar un comando, hay dos posibilidades: que el chip espere recibir datos o él mismo los proporcione. Si el comando era de lectura de memoria, se quedará en modo de datos. En éste estado, espera recibir tantos pulsos en CLK como bits a leer de la memoria. Supongamos que se ha enviado el comando leer un dato de la memoria Principal en una dirección determinada, pues bien, el chip proporcionará todos los bits que hay en la memoria desde la dirección suministrada hasta el final del mapa de memoria. Por lo tanto el número de pulsos CLK que hay que enviar al chip será $P = (128 - N) * 8 + 1$. Por cada subida de reloj el chip irá poniendo el valor del bit correspondiente en la conexión I/O. Comenzará por el bit menos significativo del byte de la primera dirección a leer y finalizará por el más significativo de la dirección 128. Es fácil deducir que no existe la posibilidad de leer sólo un bit o byte, han de ser leídos todos los bytes desde la dirección que estamos interesados hasta el final del mapa. El otro modo en el que puede quedarse el chip después de recibir un comando es el Modo de Procesado, la diferencia con lo descrito anteriormente es que ahora el chip espera recibir los datos a través de I/O, en vez de proporcionarlos él. Los cronogramas de las ilustraciones nos muestran como fluyen los bits a través de la conexión I/O en cada una de las situaciones descritas.

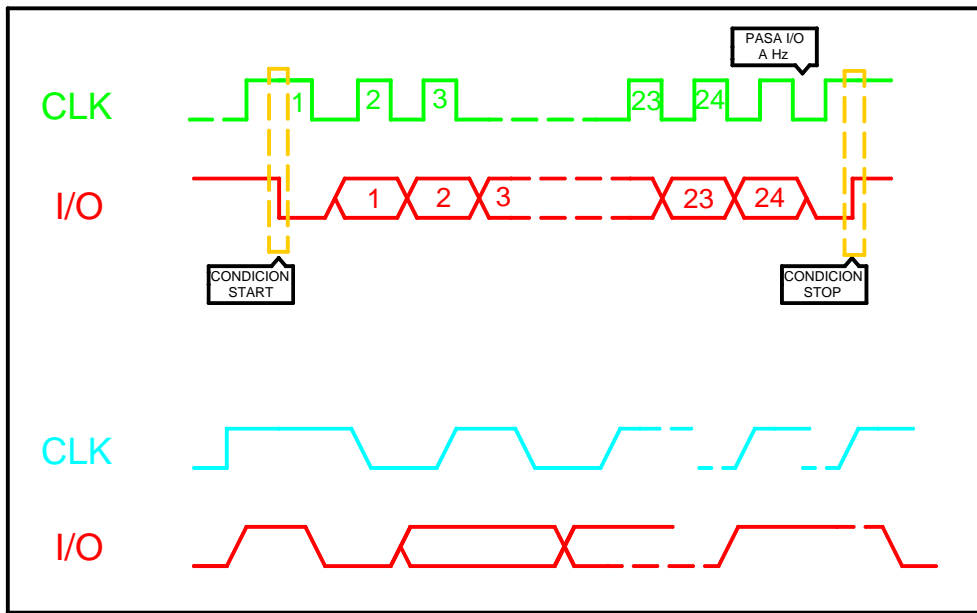


Figura 8 (a). Antes de cualquier operación de lectura/escritura hay que enviar al chip un comando formado por 24 bits de datos y otros tantos pulsos simultáneos de la señal de Clk.

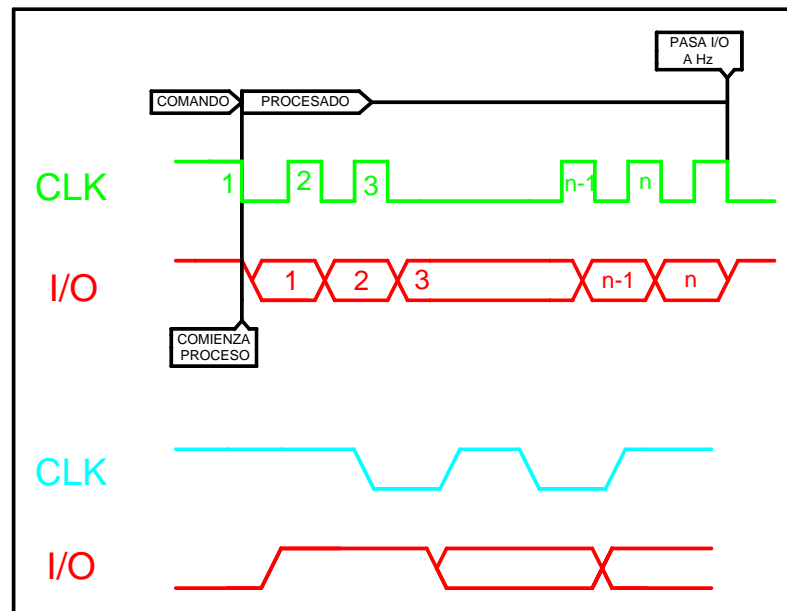


Figura 8 (b). Después de un comando el chip queda en modo de datos, si el comando era de lectura de memoria

♣ Sistema de seguridad: Hasta ahora hemos visto que existe la posibilidad de leer y escribir en la memoria de la tarjeta, pero hay una serie de cuestiones que no se pueden pasar por alto. En cualquier momento se puede leer la memoria; otra cosa es alterar su contenido. El chip tiene tres memorias diferentes:

- ⊕ Memoria principal
- ⊕ Memoria protegida
- ⊕ Memoria de seguridad

El contenido de la memoria principal puede ser modificado por el usuario cumpliendo una serie de requisitos; la Protegida, que contiene los datos del fabricante, número de serie, etc., no puede alterarse (se comporta como una memoria PROM) y la memoria de Seguridad que también puede ser alterada.

En esta última memoria, lo que en realidad se almacena son tres bytes correspondientes al código de seguridad (password) y el contador de errores. Para alterar cualquier dato el contenido de la memoria principal, es imprescindible proporcionar al chip un código de seguridad de tres bytes. Este código se compara con el contenido en la Memoria de Seguridad y, si son iguales, se podrá escribir tanto en la memoria principal como en la memoria de seguridad, o lo que es lo mismo en este caso: Cambiar el código de seguridad o password. Si el código enviado al chip es diferente al que hay almacenado en la Memoria de seguridad, se restará una unidad al contador de errores. Después de tres envíos de códigos erróneos, el valor almacenado en el contador de errores será irreversiblemente “00”; es decir ya no existirá ninguna posibilidad de alterar los valores cargados en la memoria.

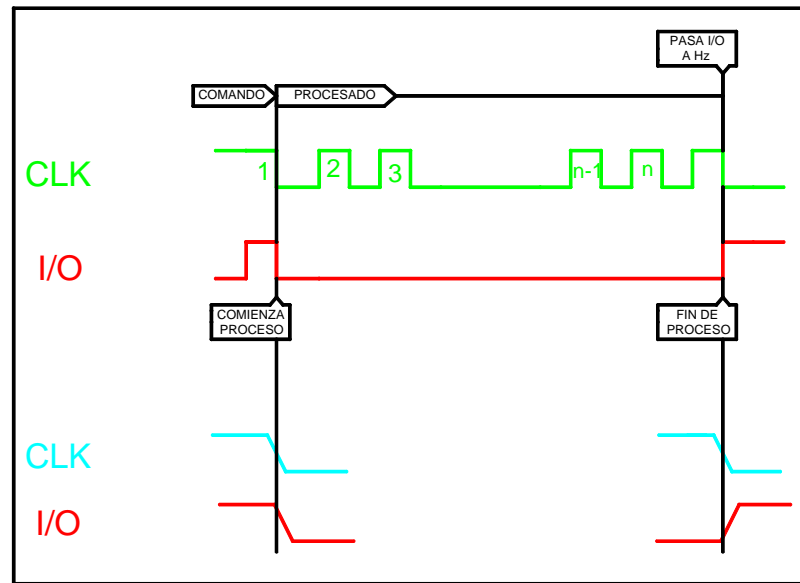


Figura 9. Si el comando enviado al chip es de escritura, éste pasa al modo de Procesado.

Este dato es fundamental a la hora de manipular la tarjeta, pues, después de tres intentos fallidos, la tarjeta permanecerá para siempre con los valores almacenados anteriormente. Si antes de que el contador de errores llegue a “00”, se proporciona un código válido, el contador volverá a su estado inicial es decir, se carga nuevamente con tres intentos.

Como se comprenderá este sistema de seguridad que protege a la tarjeta de escritura contra personas que no dispongan del código de seguridad, puede ser un inconveniente a la hora de manipularla, por lo que el código ha de ser, por un lado, fácilmente recordable por el usuario, y por otro, difícilmente deducible por personas ajenas.

- ♣ Formación de los Comandos: Los comandos están formados por tres bytes: byte de dirección, byte de datos y byte de control.

El byte de control es realmente el comando y de él depende que los otros dos tengan importancia o no, en el resultado final. Así pues para mandar un comando al chip, primero se envía el byte de control, comenzando por el bit menos significativo,

seguido de, byte de Datos y, por último, el de Dirección, comenzando siempre por los bits de menos peso.

Como ya hemos mencionado, puede no tener efecto alguno de los bytes de Dirección o de Datos, pero aún así es necesario enviarlo, pues es imprescindible que el comando se forme y envíe con 24 pulsos de reloj.

La explicación de que no tenga efecto un byte determinado, es muy sencilla, ya que, por ejemplo, si deseamos leer la Memoria Principal no tiene ningún sentido que se requiera un Byte de Datos. Sólo son relevantes, el byte de Control, que le indicará al chip que deseamos leer la memoria principal y el byte de la Dirección desde donde deseamos leer dicha memoria. Si, por el contrario, deseamos leer la Memoria de Seguridad, son los dos bytes, Dirección y Datos, los que no tendrán importancia.

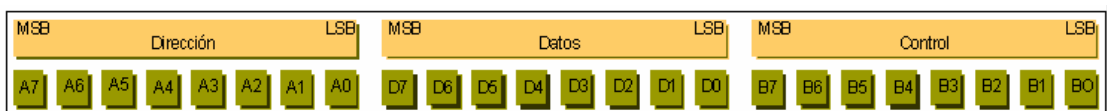


Figura 10. Los comandos se forman con tres bytes: Dirección, datos y control.

La SLE-4442 de 16 bytes posee una base de datos en su interior, y en el siguiente cuadro se muestra los datos que conserva en cada uno de los 16 bytes:

# de Byte	Dato en Hexadecimal	Representación
0	A1	Tarjeta telefónica en el país
1	2B	País de la tarjeta
2	67	Fabricante
3	C0	Valor máximo de la tarjeta
4	20	Número de serie
5	02	Número de serie
6	11	Número de serie
7	28	Checksum
8	00	Contador de la tarjeta

9	00	Contador de la tarjeta
10	7F	Contador de la tarjeta
11	3F	Contador de la tarjeta
12	0F	Contador de la tarjeta
13	FF	Seteados a 1 de fábrica
14	FF	Seteados a 1 de fábrica
15	FF	Seteados a 1 de fábrica

Tabla 1. Datos de los bytes de la SLE-4442

2.1.4 LECTORES DE TARJETAS INTELIGENTES.

CARACTERÍSTICAS

Los lectores de tarjetas inteligentes son el dispositivo que actúa como la interfase entre el usuario y el sistema, existe una gran diversidad de lectores ,y sus capacidades varían de acuerdo a las necesidades de los usuarios. Los lectores pueden ser alámbricos, inalámbricos, con teclado, sin teclado, con pantalla o sin ella.

MODO GENERAL DE FUNCIONAMIENTO

Cuando el usuario poseedor de una chipcard desea autenticarse necesita introducir la tarjeta en un hardware lector; los dos dispositivos se identifican entre sí con un protocolo a dos bandas en el que es necesario que ambos conozcan la misma clave (CK o CCK, Company Key o Chipcard Communication Key), lo que elimina la posibilidad de utilizar tarjetas de terceros para autenticarse ante el lector de una determinada compañía; además esta clave puede utilizarse para asegurar la comunicación entre la tarjeta y el dispositivo lector. Tras identificarse las dos partes, se lee la identificación personal (PID) de la tarjeta, y el PIN del usuario; se inicia entonces un protocolo desafío-respuesta: se envía el PID a la máquina y ésta desafía a la tarjeta, que responde al desafío utilizando una clave personal del usuario (PK,

Personal Key). Si la respuesta es correcta, el host ha identificado la tarjeta y el usuario obtiene acceso al recurso pretendido.

El diálogo entre la interfase y la tarjeta deberán ser conducidas a través de operaciones consecutivas:

- ⊕ Conexión y activación de los contactos mediante el dispositivo de interfase.
- ⊕ Borrado de la tarjeta.
- ⊕ Respuesta de borrado de la tarjeta.
- ⊕ Información subsecuente entre la tarjeta y la interfase.
- ⊕ Desactivación de los contactos mediante el dispositivo de interfase.

Estas operaciones están especificadas en las siguientes subcláusulas:

a) Conexión y activación de los contactos:

Los circuitos eléctricos no deberán ser activados hasta que los contactos sean conectados al dispositivo de interfase para evitar cualquier posible daño que se encuentre dentro de estos estándares.

b) Reinicio de la máquina:

Una tarjeta borrada es reinicializada mediante el dispositivo de interfase, sobre el que la tarjeta responderá con una respuesta al borrado. Al término de la activación de los contactos, la tarjeta que responde asincrónicamente está lista para ser borrada.

La señal de reloj es aplicada a CLK a un tiempo T_0 . La línea I/O tendrá que estar en el estado Z dentro de 200 ciclos en la señal del reloj (t_2) siendo aplicada al CLK (tiempo t_2 después de T_0).

c) Desactivación de los contactos:

Cuando el cambio de información ha sido terminado, los contactos eléctricos tendrán que ser removidos.

TIPOS DE LECTORES

Básicamente tenemos dos grandes familias:

Universales: Permiten leer más de un tipo de tarjeta. Estos lectores son costosos y solo son útiles en entornos en que los diferentes usos de las tarjetas implique la utilización de diferentes tipos de éstos (acceso a zonas, expedición de moneda, ...). Habitualmente incorporan un hardware asociado muy complejo.

Especializadas: Estos lectores sólo pueden leer unos pocos tipos de tarjetas similares. Su simplificación permite que sean más asequibles. Normalmente van conectadas a un ordenador, de forma que el control del lector y la alimentación eléctrica a menudo se simplifican.

2.1.5 AUTOMATIZACIÓN CON MICROCONTROLADORES.

Por medio de éstos dispositivos es posible implementar desde sistemas automáticos sencillos, hasta sistemas complejos. Todo depende de las características del proceso a automatizar.

INTRODUCCIÓN

El microcontrolador, es quizás el componente electrónico más versátil que existe, sus aplicaciones están limitadas sólo por la imaginación. Dispositivos como el PLC, los sensores y los controladores, cuentan en su estructura interna con un microcontrolador que se constituye como el elemento principal para su funcionamiento. De este elemento se aprovechan todas sus propiedades y módulos internos tales como conversores A/D, puertos seriales y paralelos, temporizadores, interrupciones, etc.

ARQUITECTURA BÁSICA DE UN MICROCONTROLADOR.

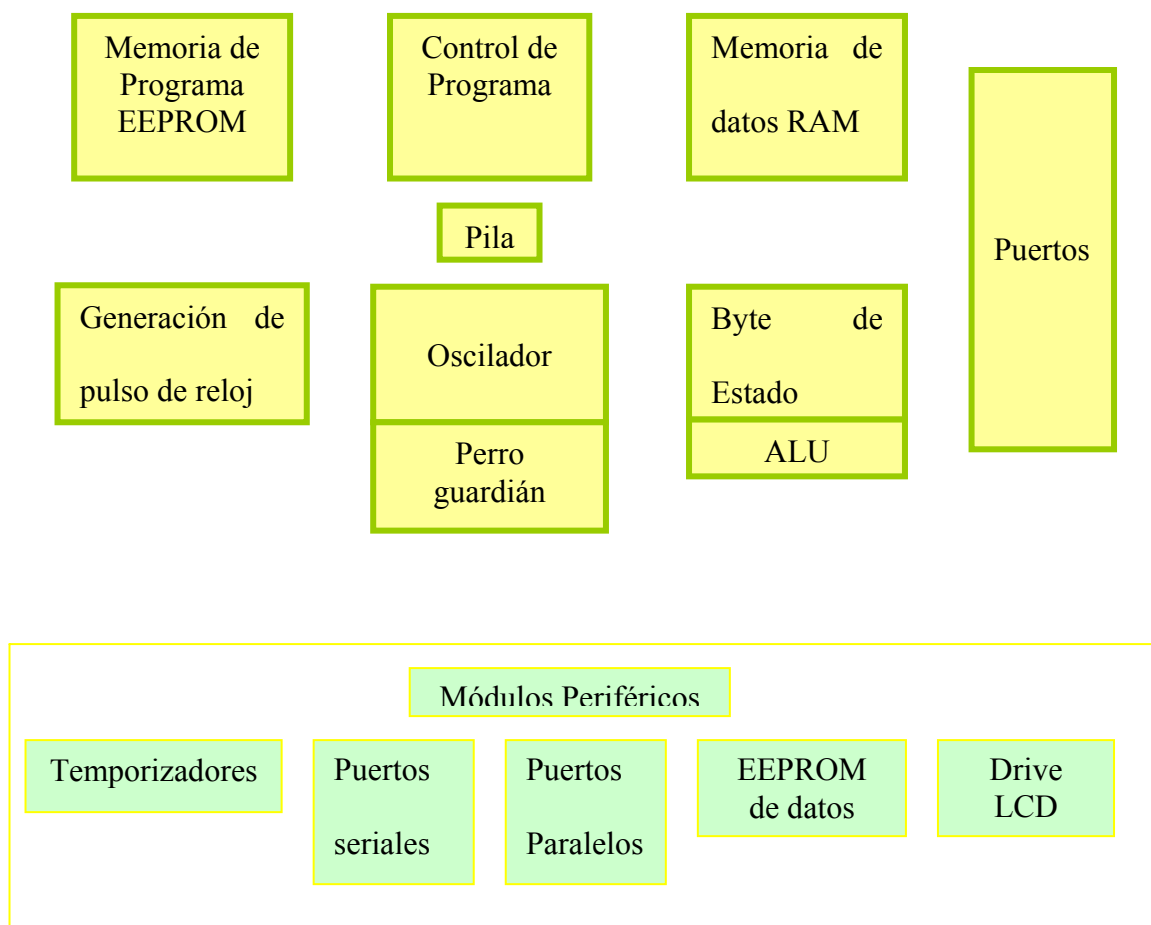


Figura 11. Diagrama de bloques genérico de la arquitectura de un microcontrolador.

Las partes funcionales básicas que componen un microcontrolador se muestran en la *Figura 11*. Allí se pueden apreciar los distintos bloques que en realidad, están unidas por medio de buses.

La CPU y la ALU

La Unidad Central de Proceso (CPU) es la responsable de usar la información de la memoria de programa (instrucciones) para controlar la operación del dispositivo. Muchas de esas instrucciones operan en la memoria de datos, para lo cual se requiere de la Unidad Aritmética Lógica (ALU). Para desarrollar todas las operaciones aritméticas y lógicas, la ALU controla los bits de estado (los cuales se encuentran en

el registro de estado). El resultado de algunas instrucciones hace que los bits de estado cambien su valor.

La ALU es el componente más complejo de los μc por cuanto contiene todos los circuitos para desarrollar funciones de cálculo y manipulación de los datos durante la ejecución de un programa. Es un componente presente en todos los microprocesadores y de ella depende directamente la potencia de cálculo del micro mismo.

La ALU de los μc más comunes puede trabajar con valores de 8 bits, es decir, valores numéricos no mayores de 255. Existen microprocesadores con ALU a 16, 32, 64 bits, entre otras. Conectado a la ALU se encuentra el registro w conocido también como acumulador. Este registro consiste de una posición de memoria que puede contener un valor de 8 bits. La diferencia entre el registro w y las otras posiciones de memoria, es que, al referenciar al registro w, la ALU no debe entregar ninguna dirección de memoria, pero sí puede acceder directamente.

ORGANIZACIÓN DE LA MEMORIA.

Existen dos bloques fundamentales de memoria:

- Memoria de Programa

- Memoria de Datos

La memoria de datos puede dividirse por los registros de propósito general (RAM) los cuales podemos escribir, leer o modificar sin ningún problema y por una serie de registros especiales, los cuales se encargan por ejemplo de manejar los distintos periféricos. Existen dos componentes importantes para manejar la memoria de programa y comprender las instrucciones de salto y llamada a subrutinas: el Program Counter y el Stack.

Un μ c inicia la ejecución del programa a partir del Reset Vector, es decir, de la posición de memoria 0000H. Después de ejecutar esta instrucción pasa a la instrucción siguiente memorizada en la posición 0001H y así sucesivamente. Si no hay instrucciones capaces de interferir con la ejecución normal del programa, el μ c llegará a ejecutar la instrucción memorizada en la última posición. Sin embargo, cualquier sistema microprocesado dispone de instrucciones de salto, es decir, instrucciones en grado de modificar el flujo de ejecución del programa. Una de estas instrucciones es el GOTO. Cuando el μ c encuentra un goto no ejecuta más instrucciones sucesivas sino que salta directamente a la posición de memoria especificada en la instrucción. Para determinar la instrucción a seguir, se utiliza un registro especial denominado Program Counter. Este contador se actualiza con la dirección de la próxima instrucción a ejecutar. La instrucción goto permite poner un nuevo valor en el Program Counter y de esta manera saltar cualquier posición de la memoria de programa.

Ahora bien, desde el punto de vista del hardware, un microcontrolador puede tener dos tipos de memoria:

- Memoria RAM.- Se utiliza ampliamente durante la ejecución del programa, pues es allí donde se almacenan las operaciones hechas por la ALU.
- Memoria ROM.- En ella se almacena el programa que se desea ejecutar, y no permite la escritura en la ejecución del programa.

Actualmente, algunos microcontroladores vienen con memoria FLASH EPROM con la ventaja de ser más rápida, de menor costo y soporta mayor cantidad de ciclos de escritura.

MODOS DE DIRECCIONAMIENTO

De manera general, el modo de direccionamiento es la manera en que la unidad central de proceso CPU, busca los datos o las localizaciones de la memoria de programa.

ESCRITURA DEL PROGRAMA.

La elaboración de un programa consiste en escribir secuencialmente todas las instrucciones que le indicarán al μ c las funciones que debe desarrollar. Cada una de las instrucciones posee un código operativo constituido por un determinado número de bits, el cual es memorizado en una posición de la memoria de programa EPROM. La escritura del programa se debe hacer en un archivo de texto y grabarse con la extensión .ASM.

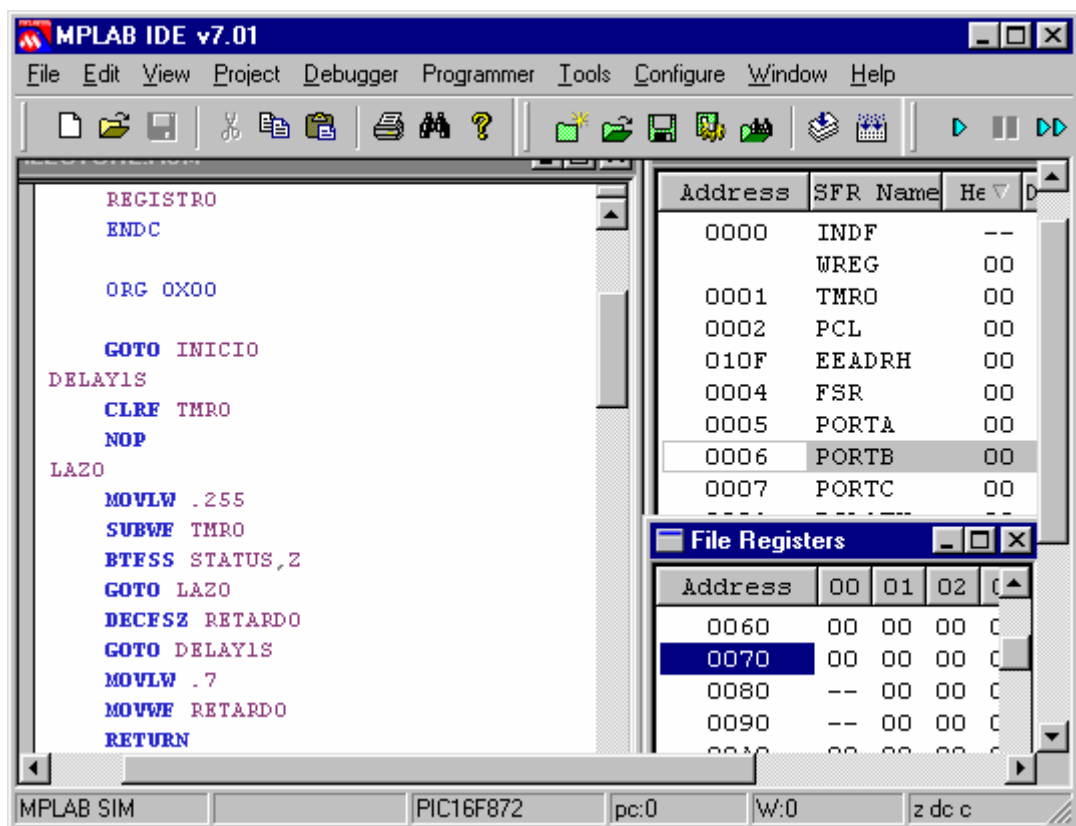


Figura 12. Entorno de desarrollo MPLAB

EL COMPILADOR DE ASSEMBLER

Cuando se ha terminado de escribir el programa, necesitamos traducir estas instrucciones a una serie de números (opcode), que pueda reconocer el μ c. El encargado de esta labor es el compilador *Assembler* o *Ensamblador*.

Cada empresa fabricante posee su propio ensamblador, cada uno de los cuales posee características propias en cuanto a configuración, tipo de direccionamiento, reglas con el número de bytes hexadecimales involucrados y los signos de puntuación de los operandos. Al compilar el programa fuente, el ensamblador origina varios archivos con nombre idéntico, pero con extensión distinta. El primero es un archivo que contiene los códigos operativos que deben grabar en la memoria del μ c. El segundo es un archivo de texto que contiene todo el código fuente más la traducción en opcode. El tercer archivo generado corresponde a un listado de los errores encontrados al compilar y el número de línea en el código fuente donde se encontraron.

2.1.6 PIC 16F872

El " PIC 16F872 " es un MICROCONTROLADOR con memoria de programa tipo FLASH, lo que representa gran facilidad en el desarrollo de prototipos y en su aprendizaje, ya que no se requiere de borrado con luz ultravioleta como las versiones EPROM, sino, permite reprogramarlo nuevamente sin ser borrado con anterioridad.

MEMORIA DE PROGRAMA

Es una memoria de 2K byte de longitud con palabra de 14 bits. Como es del tipo FLASH se puede programar y borrar eléctricamente, lo que facilita el desarrollo de programas y la experimentación. Como el PIC 16F872 tiene un contador de programa de 13 bits, tiene una capacidad de direccionamiento de 8K x 14, pero solamente tiene implementado el primer 2K x 14 (000h hasta 07FFh). Si se direccionan posiciones de memoria superiores a 7FFh se causará un solapamiento o desborde con el espacio del primer 2K.

VECTOR DE RESET

Cuando ocurre un reset o se enciende el microcontrolador, el contador de programa se pone en ceros (000h). Por esta razón, en la primera dirección del programa se debe escribir todo lo relacionado con la iniciación del mismo.

VECTOR DE INTERRUPCIÓN

Cuando el microcontrolador recibe una señal de interrupción el contador de programa apunta a la dirección 04h de la memoria de programa, por eso allí se debe escribir toda la programación necesaria para atender dicha interrupción.

PINES Y FUNCIONES

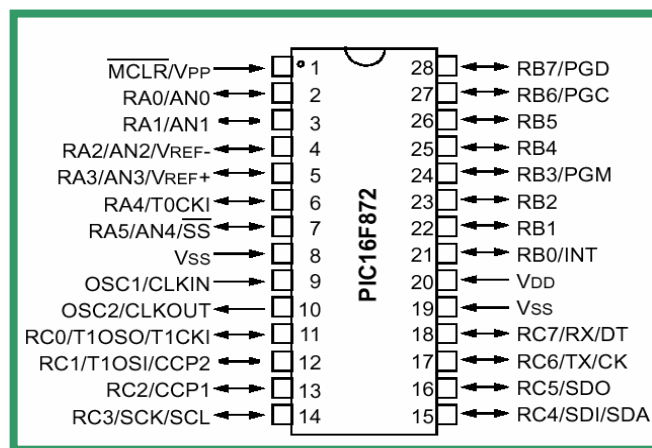


Figura 13. Pines del PIC16F872

PINES ADICIONALES

- ❑ MCLR = Pin de Reset del Microcontrolador (Master Clear). Se activa (el pic se resetea) cuando tiene un "0" lógico en su entrada.
- ❑ Vss = Ground o Tierra
- ❑ VDD = Fuente Positiva (+5V)

- OSC2/CLKOUT = Entrada del Oscilador del Cristal. Se conecta al Cristal o Resonador en modo XT (Oscilador de Cristal). En modo RC (Resistencia-Condensador), este pin actúa como salida el cual tiene 1/4 de la frecuencia que entra por el pin OCS1/CLKIN.
- OCS1/CLKIN = Entrada del Oscilador del Cristal / Entrada de reloj de una Fuente Externa.
- El pin RA4/TOCKI del puerto A puede ser configurado como un pin de entrada/salida o como entrada del temporizador/contador. Cuando este pin se programa como entrada digital, funciona como un disparador de Schmitt (Schmitt trigger, ST. Cuando se usa como salida digital se comporta como colector abierto, por lo tanto se debe poner una resistencia de pull-up (resistencia externa conectada a un nivel lógico de cinco voltios). Como salida, la lógica es inversa: un "0" escrito al pin del puerto entrega en el pin un "1" lógico.

OSCILADOR EXTERNO

Todo Microcontrolador requiere un circuito externo que le indique la velocidad a la que debe trabajar. Este circuito, que se conoce con el nombre de oscilador o reloj, es muy simple pero de vital importancia para el buen funcionamiento del sistema. El PIC 16F872 puede utilizar cuatro tipos de oscilador diferentes. Estos tipos son:

- RC. Oscilador con resistencia y condensador.
- XT. Cristal de cuarzo.
- HS. Cristal de alta velocidad.
- LP. Cristal para baja frecuencia y bajo consumo de potencia.

En el momento de programar o "quemar" el microcontrolador, se debe especificar que tipo de oscilador se usa. Esto se hace a través de unos fusibles llamados "fusibles de configuración".

Si se utiliza un cristal de cuarzo (que es lo más recomendado), éste debe ir acompañado de dos condensadores y se conecta como se muestra en la figura siguiente.

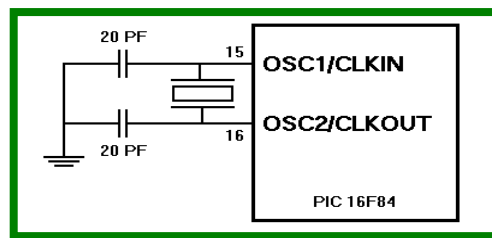


Figura 14. Circuito Oscilador

RESET

En los microcontroladores se requiere un pin de reset para reiniciar el funcionamiento del sistema cuando sea necesario, ya sea por una falla que se presente o por que así se halla diseñado el sistema. El pin de reset en los PIC es llamado "Master Clear". El PIC 16F872 admite diferentes tipos de reset:

- Al encendido (Power On Reset)
- Pulso en el pin Master Clear durante operación normal
- Pulso en el pin Master Clear durante el modo de bajo consumo (modo sleep)
- El rebase del conteo del circuito de vigilancia (watchdog) durante operación normal.
- El rebase del conteo del circuito de vigilancia (watchdog) durante el modo de bajo consumo (sleep)

REGISTROS

El PIC 16F872 puede direccionar 128 posiciones de memoria RAM, 96 en el banco cero y 32 en el banco uno.

File Address	File Address	File Address	File Address
Indirect addr. ⁽¹⁾ 00h	Indirect addr. ⁽¹⁾ 80h	Indirect addr. ⁽¹⁾ 100h	Indirect addr. ⁽¹⁾ 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h	105h	185h
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PORTC 07h	TRISC 87h	107h	187h
08h	88h	108h	188h
09h	89h	109h	189h
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDATA 10Ch	EECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEADR 10Dh	EECON2 18Dh
TMR1L 0Eh	PCON 8Eh	EEDATH 10Eh	Reserved ⁽¹⁾ 18Eh
TMR1H 0Fh	8Fh	EEADRH 10Fh	Reserved ⁽¹⁾ 18Fh
T1CON 10h	90h	110h	190h
TMR2 11h	SSPCON2 91h		
T2CON 12h	PR2 92h		
SSPBUF 13h	SSPADD 93h		
SSPCON 14h	SSPSTAT 94h		
CCPR1L 15h	95h		
CCPR1H 16h	96h		
CCP1CON 17h	97h		
18h	98h		
19h	99h		
1Ah	9Ah		
1Bh	9Bh		
1Ch	9Ch		
1Dh	9Dh		
ADRESH 1Eh	ADRESL 9Eh		
ADCON0 1Fh	ADCON1 9Fh		
20h	A0h		
General Purpose Register	General Purpose Register	accesses 20h-7Fh	accesses A0h - BFh
32 Bytes	32 Bytes		
96 Bytes	BFh		BFh
	C0h		C0h
	EFh		EFh
	F0h	accesses 70h-7Fh	accesses 70h-7Fh
	FFh	17Fh	1FFh
Bank 0	Bank 1	Bank 2	Bank 3

Figura 15. Registros del PIC16F872 con sus respectivos mapas de memoria

De las 128 posiciones de memoria RAM, tiene implementado físicamente los primeros 80 (0 a 4Fh). De éstos los primeros 12 son registros que cumplen un propósito especial en el control del microcontrolador y los 68 siguientes son registros de uso general que se pueden usar para guardar los datos temporales de la tarea que se está ejecutando. Los registros están organizados como dos bancos de 128

posiciones de 8 bits cada una (128 x 8); todas las posiciones se pueden acceder directa o indirectamente (éstas últimas a través del registro FSR). Para seleccionar que página de registro se trabaja en un momento determinado se utiliza el bit RP0 del registro STATUS. A continuación se presenta la descripción de los registros más importantes:

00h o INDO: REGISTRO PARA EL DIRECCIONAMIENTO INDIRECTO DE DATOS. Este no es un registro disponible físicamente; utiliza el contenido del FSR y el bit RP0 del registro STATUS para seleccionar indirectamente la memoria de datos o RAM del usuario.

01h o TMR0: TEMPORIZADOR/CONTADOR DE 8 BITS. Este se puede incrementar con una señal externa aplicada al pin RA4/TOCKI o de acuerdo a una señal interna proveniente del reloj de instrucciones del microcontrolador. La tasa o tasa de incremento del registro se puede determinar por medio de un preescalador, localizado en el registro OPTION.

03h o STATUS: REGISTRO DE ESTADO. Contiene el estado aritmético de la ALU, la causa de reset y los bits de preselección de página para la memoria de datos. En la *Figura 16*, se muestran los bits correspondientes a este registro. Los bits 5 y 6 (RP0 y RP1) son los bits de selección de página (Banco 0 y Banco 1), para el direccionamiento directo de la memoria de datos; solamente RP0 se usa en los PIC 16F872. RP1 se puede utilizar como un bit de propósito general de lectura/escritura. Los bits TO y PD no se pueden modificar por un proceso de escritura; ellos muestran la condición por la cual se ocasionó el último reset.

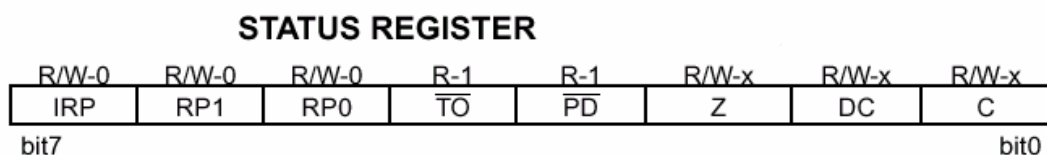


Figura 16. Bits que corresponden al registro STATUS.

Bit 7 Read/Write 0	IRP: Bit de selección de banco de registro 0 = Banco 0,1 (00h-FFh) 1 = Banco 2,3 (100h-1FFh) El bit IRP no es usado por los PIC's 16F8x
Bit 6-5 Read/Write 0	RP1:RP0: Bits de selección de registros bancos (Usado en direccionamiento directo). 00 = Banco 0 (00h-7Fh) 01 = Banco 1 (80h-FFh) 10 = Banco 2 (100h-17Fh) 11 = Banco 3 (180h-1FFh) Cada Banco es de 128 Bytes. Solo el bit RP0 es usado en los PIC's 16F8X
Bit 4 Read 1	~TO: Time-out bit 1 = Después de un Power-Up, CLRWD instrucción, ó un SLEEP instrucción. 0 = Después de un WatchDog Time-out a ocurrido
Bit 3 Read 1	~PD: Power-down bit 1 = After power-up o por un CLRWD instrucción. 0 = Por la ejecución de un SLEEP instrucción.
Bit 2 Read/Write X	Z: Cero Bit 1 = El resultado de una operación aritmética lógica es cero. 0 = El resultado de una operación aritmética lógica no es cero.
Bit 1 Read/Write X	DC: Dígito de Carry/~borrow bit 1 = Un carry del tercer al cuarto bit ha ocurrido 0 = No se ha producido un carry del tercero al cuarto bit.
Bit 0 Read/Write X	C: Carry/~Borrow 1 = Un Carry se ha producido en el Bit Más significativo 0 = No se ha producido un carry en el MSB.

Tabla 2. Bits del Registro STATUS

05h o PORTA: PUERTO DE ENTRADA/SALIDA DE 5 BITS (RA0~ RA4). Este puerto al igual que todos sus similares en los PIC, puede leerse o escribirse como si se tratara de un registro cualquiera. El registro que controla el sentido (entrada o salida) de los pines de este puerto está localizado en la página 1 (Banco 1), en la posición 85h y se llama TRISA.

06h o PORTB: PUERTO DE ENTRADA/SALIDA DE 8 BITS (RB0~RB7). Al igual que en todos los PIC, éste puede leerse o escribirse como si se tratara de un registro cualquiera; algunos de sus pines tienen funciones alternas en la generación de interrupciones. El registro de control para la configuración de la función de sus pines se localiza en la página 1 (Banco 1), en la dirección 86h y se llama TRISB.

07h o PORTC: PUERTO DE ENTRADA/SALIDA DE 8 BITS (RC0~RC7). El registro de control para la configuración de la función de sus pines se localiza en la página 1 (Banco 1), en la dirección 87h y se llama TRISC.

0Bh o INTCON: REGISTRO PARA EL CONTROL DE INTERRUPCIONES. Es el encargado del manejo de las interrupciones y contiene los bits que se muestran en la *Figura 17*.



Figura 17. Bits correspondientes al registro INTCON

Bit 7 Read/Write 0	GIE: Bit Activación Global de Interrupciones 1 = Activa todas las Interrupciones 0 = Desactiva Todas las Interrupciones
Bit 6 Read/Write 0	EEIE: Bit de Interrupción de Activación de escritura 1 = Si se desea que se produzca cuando se a completado un ciclo de escritura en la EEPROM . 0 = Si no se desea que se produzca.
Bit 5 Read/Write 0	TOIE: Bit de Interrupción de desbordamiento del TMRO 1 = Activa el TMRO interrupción. 0 = Desactiva el TMRO interrupción.
Bit 4 Read/Write 0	INTE: RBO/INT bit de activación de interrupción 1 = Activa la patilla RBO/INT como interrupción 0 = Desactiva la patilla RBO/INT como interrupción
Bit 3 Read/Write 0	RBIE: Bit de activación de interrupción de cambio en el puerto RB. 1 = Activa interrupción de cambio en el puerto RB. 0 = Desactiva interrupción de cambio en el puerto RB.
Bit 2 Read/Write 0	TOIF: Bit de bandera de desbordamiento de TMRO 1 = Cuando un desbordamiento del TMRO ha ocurrido. 0 = No ha ocurrido un desbordamiento del TMRO.
Bit 1 Read/Write 0	INTF: Bit de bandera de interrupción de RB0/INT pin. 1 = Cuando una interrupción en el pin RB0/INT ha sucedido. 0 = No ha ocurrido esta interrupción.
Bit 0 Read/Write X	RBIF: Bit de interrupción de cambio en el puerto RB. 1 = Indica que se ha producido un cambio en le puerto RB0. 0 = Ningún pin ha cambiado en el pin RB0.

Tabla 3. Bits del registro INTCON

81h u OPTION: REGISTRO DE CONFIGURACION MÚLTIPLE. Posee varios bits para configurar el preescalador, la interrupción externa, el timer y las características del Puerto B. Los bits que contiene y las funciones que realiza este registro se muestran en la *Figura 18*. El preescalador es compartido entre el TMR0 y el WDT; su asignación es mutuamente excluyente ya que solamente puede uno de ellos ser preescalado a la vez.

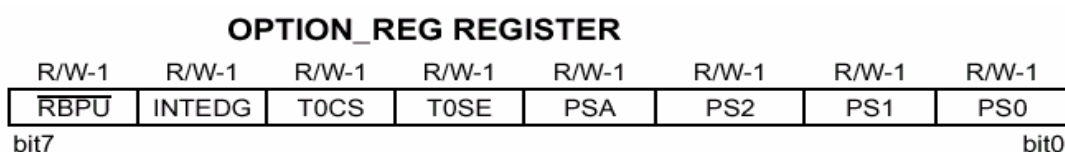


Figura 18. Bits correspondientes al registro OPTION_REG

Bit 7	\overline{RBPU} : Bit de activación de Pull-Up en puerto RB.
Read/Write	1 = Pull-Up en puerto RB son desactivadas 0 = Pull-Up en puerto RB son activadas
1	
Bit 6	INTEDG: Bit de interrupción de selección de flanco.
Read/Write	1 = Interrupción por flanco de subida en RB0/INT pin 0 = Interrupción por flanco de bajada en RB0/INT pin
1	
Bit 5	TOCS: Bit de selección de fuente para el TMR0
Read/Write	1 = Por Transición en RA4/TOCKI pin. 0 = Por ciclo de reloj de instrucción interno.
1	
Bit 4	TOSE: Bit de selección de flanco para fuente en TMR0
Read/Write	1 = Incrementa el TMR0 por una transición de alto a bajo en el pin RA4/TOCKI. 0 = Incrementa el TMR0 por una transición de bajo a alto en el pin RA4/TOCKI.
1	
Bit 3	PSA: bit de asignación de prescalar.
Read/Write	1 = Se asigna el prescalar al WDT. 0 = Se asigna el prescalar al TMR0.
1	
BIT 2-0	<i>PS2,PS1,PS0: Bit de selección de escala del prescalar.</i>

	Bit valor	TMR0	WDT
	000	1:2	1:1
	001	1:4	1:2
	010	1:8	1:4
	011	1:16	1:8
	100	1:32	1:16
	101	1:64	1:32
	110	1:128	1:64
	111	1:256	1:128

Tabla 4. Bits del Registro OPTION_REG

85h o TRISA: REGISTRO DE CONFIGURACIÓN DEL PUERTO A. Es el registro de control para el puerto A. Un "cero" en el bit correspondiente al pin lo configura como salida, mientras que un "uno" lo hace como entrada.

86h o TRISB: REGISTRO DE CONFIGURACIÓN DEL PUERTO B. Es el registro de control para el puerto B. Un "cero" en el bit correspondiente al pin lo configura como salida, mientras que un "uno" lo hace como entrada.

87h o TRISC: REGISTRO DE CONFIGURACION DEL PUERTO C. Es el registro de control para el puerto C. Un "cero" en el bit correspondiente al pin lo configura como salida, mientras que un "uno" lo hace como entrada.

PILA (STACK): Estos registros no forman parte de ningún banco de memoria y no permiten el acceso por parte del usuario. Se usan para guardar el valor del contador de programa cuando se hace un llamado a una subrutina (CALL), o cuando se atiende una interrupción; luego, cuando el micro regresa a seguir ejecutando su tarea normal, el contador de programa recupera su valor leyéndolo nuevamente desde la pila. El PIC 16F872 tiene una pila de 8 niveles, esto significa que se pueden anidar 8 llamados a subrutina sin tener problema alguno.

CARACTERÍSTICAS ESPECIALES

Circuito De Vigilancia (Watchdog Timer): Su función es restablecer el programa cuando éste se ha perdido por fallas en la programación o por alguna razón externa.

Temporizador de Encendido (Power-Up Timer): Éste proporciona un reset al microcontrolador en el momento de conectar la fuente de alimentación, lo que garantiza un arranque correcto del sistema. En el momento de grabar el microcontrolador se debe habilitar el fusible de configuración "Power-up Timer", para ello se debe seleccionar "ON". Su tiempo de retardo es de 72 milisegundos.

Modo de Bajo Consumo (Sleep): Esta característica permite que el microcontrolador entre en un estado pasivo donde consume muy poca potencia. Cuando se entra en este modo el oscilador principal se detiene, pero el temporizador del circuito de vigilancia (watchdog) se reinicia y empieza su conteo nuevamente. Se entra en ese estado por la ejecución de una instrucción especial (llamada SLEEP) y se sale de él cuando el microcontrolador sufre un reset por un pulso en el pin MCLR, porque el watchdog hace que se reinicie el sistema o por que ocurre una interrupción al sistema.

Interrupciones: Este microcontrolador incluye el manejo de interrupciones, lo cual representa grandes ventajas. El PIC16F872 posee cuatro formas de interrupción que son:

- Interrupción externa en el pin RB0/INT
- Finalización del temporizador/contador TMR0
- Finalización de escritura en la EEPROM de datos
- Cambio de estado en los pines RB4 a RB7

Fusibles de Configuración: El PIC 16F872 posee cuatro fusibles, cada uno de los cuales es un bit. Estos fusibles se pueden programar para seleccionar varias configuraciones del dispositivo: tipo de oscilador, protección de código, habilitación

del circuito de vigilancia y el temporizador al encendido. Los bits se localizan en la posición de memoria 2007h, posición a la cual el usuario sólo tiene acceso durante la programación del microcontrolador.

2.1.7 CONTROL POR COMPUTADORA

Una computadora está compuesta por un conjunto de elementos electrónicos que interactúan entre sí (hardware), para capturar, procesar y almacenar información de acuerdo a una serie de instrucciones dadas por el usuario (software).

Actualmente, a nivel industrial, además de utilizarse en labores de procesamiento de datos, puede servir para ejecutar un control de procesos industriales en forma automática. Tanto así, que ejecutan labores que prescinden de la intervención del hombre. Esto es muy importante, ya que dichas máquinas pueden tomar decisiones de una manera más rápida y confiable, permitiendo así que el hombre se dedique a otras actividades. Este medio de automatización se ha extendido masivamente gracias a que reúne las características de control y de manejo de la información, llevando los datos a programas de procesamiento que suministran una estadística completamente actualizada del proceso que se lleva a cabo.

PUERTOS DE COMUNICACIÓN DE UNA PC.

Una computadora posee una serie de conectores internos y externos que permiten la instalación de diversos tipos de dispositivos buscando intercambiar información con la PC. Externamente podemos encontrar, el conector para el monitor, teclado, puerto serial, puerto paralelo y otros. Por su parte, internamente están las ranuras de expansión que sirven para conectar tarjetas de interfaz que suministran puertos externos con fines especializados.



Figura 19. Puertos de una computadora.

2.1.8 COMUNICACIÓN SERIAL

PUERTO SERIAL

El puerto serial de una computadora es un conector diseñado para el intercambio de información con dispositivos electrónicos externos.

Como su nombre lo indica, los datos son transferidos uno a uno en forma serial, motivo por el cual, este tipo de comunicación es más lenta que la del puerto paralelo. Dos grandes ventajas: se necesitan menos cables de conducción y la distancia máxima entre equipos es mayor.

Una computadora puede tener uno o varios puertos seriales, éstos son denominados COM1, COM2, etc. Y al igual que con los puertos LPT, cada uno tiene su propia dirección de acceso.

Nombre	Dirección	IRQ
COM1 / ttyS0	3F8-3FF	IRQ4
COM2 / ttyS1	2F8-2FF	IRQ3
COM3 / ttyS2	3E8-3EF	IRQ4
COM4 / ttyS3	2E8-2EF	IRQ3

Tabla 5. Direcciones de los puertos seriales.

En cuanto a voltajes, el puerto serial manipula niveles positivos y negativos con el fin de lograr una mayor distancia de conexión entre equipos. Internamente existe un circuito que convierte los voltajes digitales (0 y 5v) en voltajes más elevados (+10v y -10v aproximadamente). Típicamente, se utiliza el puerto serial para transmitir datos ASCII. Completan la comunicación utilizando tres líneas de transmisión:

- Referencia

- Transmisión

- Recepción

Debido a que serial es asíncrono, el puerto puede transmitir datos en una línea mientras recibe datos en otra. Otras líneas están disponibles para el intercambio de pulsos de sincronización pero no son requeridas. Las características seriales importantes son: tasa de baudios, bits de datos, bits de paro, paridad y handshake.

Para que dos puertos se comuniquen, estos parámetros deben igualarse:

- La tasa de baudios (baud rate): Es una unidad de medición para comunicación que indica el número de bits transferidos por segundo. Por ejemplo, 300 baudios son 300 bits por segundo. Cuando se menciona un ciclo de reloj, se refiere a la tasa en baudios, así que si el protocolo indica una razón en baudios de 4800, el reloj está ejecutándose a 4800 Hz. Esto quiere decir que el puerto serial está muestreando la línea de datos a 4800 Hz. Las tasas de baudios para líneas telefónicas son 14400, 28800, y 33600. Tasas de baudios mayores a éstas son posibles, pero reducen la distancia disponible para la separación de dispositivos. Utilizan estas tasas de baudios para comunicación donde los dispositivos están localizados entre sí, como sucede típicamente con los dispositivos GPIB.

- Bits de datos: Son mediciones de los bits de datos actuales en una transmisión. Cuando una computadora envía un paquete de información, la cantidad de datos actuales puede ser que no complete 8 bits. Los valores estándar para los paquetes

de datos son de 5, 7, y 8 bits. El marco que se elija dependerá de la información que se está transfiriendo. Por ejemplo, el ASCII estándar tiene valores de 0 a 127 (7 bits). El ASCII extendido utiliza de 0 a 255 (8 bits). Si los datos que se está transfiriendo se encuentran en texto simple (ASCII estándar), enviar 7 bits de datos por paquete, es suficiente para la comunicación. Un paquete se refiere a la transferencia de un sólo byte, incluyendo los bits de inicio/paro, bits de datos, y paridad. Debido a que el número de bits actuales depende del protocolo seleccionado, se puede utilizar el término “paquete” para cubrir todas las instancias.

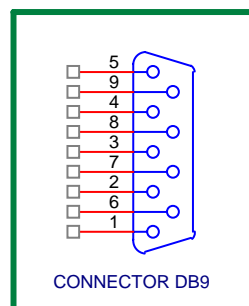
- Los bits de paro: Son utilizados para señalar el término de comunicaciones en un paquete sencillo. Los valores típicos son 1, 1.5 y 2 bits. Debido a que los datos se encuentran sincronizados a través de las líneas y cada dispositivo tiene su propio reloj, es posible que los dos dispositivos pierdan sincronización. Por lo tanto, los bits de paro no solamente indican el final de una transmisión, también le da un margen de error a las velocidades de reloj de la computadora. A medida que se utilizan más bits para bits de paro, mayor oportunidad para sincronizar los diferentes relojes, pero más lenta la razón de transferencia de datos.
- Paridad: Es una forma de revisión de error simple utilizada en la comunicación serial. Existen cuatro tipos de paridad: pares, impares, marcados y espaciados. También se puede utilizar los que excluyen de paridad. Para paridad impar y par, el puerto serial fija el bit de paridad (el último bit después de los bits de datos) a un valor que asegura que la transmisión tenga un número par o impar de bits lógicos. Por ejemplo, si el dato es 011, para paridad par, el bit de paridad es 0 para mantener el número par de bits altamente lógicos. Si la paridad es impar, el bit de paridad es 1, resultando en 3 bits altamente lógicos. La paridad marcada y espaciada no revisa específicamente los bits de datos, simplemente fija la paridad de los bits como alta para la paridad marcada o baja para la paridad espaciada. Esto permite que el dispositivo receptor conozca el estado de un bit para así determinar si el ruido está corrompiendo los datos o si los relojes del dispositivo de transmisión y recepción se encuentran fuera de sincronización.

- Control de flujo (handshake): Sirve para indicar la forma en que cada equipo controlará el envío y el recibo de información. El control por hardware utiliza líneas adicionales, mientras que el control por software se hace por las mismas de transmisión de datos.

2.1.9 INTERFAZ RS-232

El interfaz RS-232 (RS = *Recommended Standard*) es probablemente la más extendida entre todo tipo de arquitectura existente. Este interfaz se utiliza para la transmisión de datos entre el ordenador y prácticamente cualquier tipo de aparato imaginable, desde un modem convencional hasta aparatos industriales y de medición de todo tipo. También se pueden emplear para la conexión de dos PCs. Es una interfaz no balanceada que emplea un intercambio en serie de datos binarios a velocidades de transmisión superiores a los 20,000 bps, opera con datos síncronos pero está limitada por una longitud de cable de aproximadamente 50 pies.

En cuanto a los tipos de conectores utilizados en el estándar RS-232, las computadoras suelen tener terminales de 9 pines (DB9) macho o de 25 pines (DB25), también macho. En la *Figura 20*, se puede ver el conector DB9 con sus respectivas señales:



PIN	SEÑAL
1	CD - Detección de Portadora
2	RXD - Recepción de datos
3	TXD - Transmisión de datos
4	DTR - Terminal de datos lista
5	GND - Nivel de tierra
6	DSR - Fijación de datos lista
7	RTS - Requerimiento de envío
8	CTS - Borrar para envío
9	RI - Indicador de llamada

Figura 20. Identificación de pines del conector serial RS-232

Existen varios métodos para entablar una comunicación a través de puertos seriales, la más sencilla utiliza solamente dos cables y el de tierra, *Figura 21*. En este caso, el control de flujo deberá hacerse a través de los mismos cables utilizando códigos o caracteres especiales (XON/XOFF). Una comunicación más completa, utiliza cables adicionales, permitiendo controlar el flujo mediante dos de ellos en forma independiente, es decir, control mediante hardware, *Figura 22*.

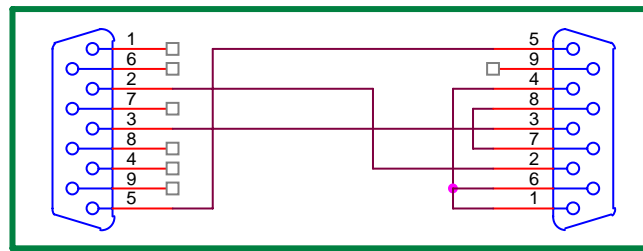


Figura 21. Forma de establecer comunicación serial utilizando solo 3 líneas

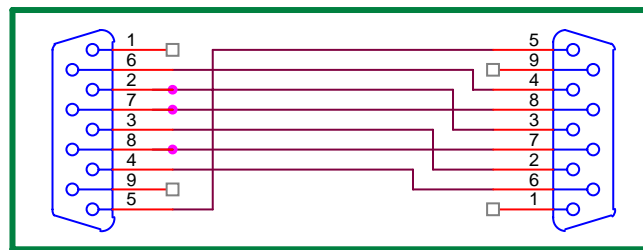


Figura 22. Forma de establecer comunicación serial utilizando todas las líneas

Existen varias formas de transmisiones serie:

Simplex: Un equipo transmite, el otro recibe.

Half-duplex: Transmiten ambos equipos pero no simultáneamente; los equipos se alternan en la transmisión, uno transmite mientras el otro recibe.

Full-duplex: Ambos equipos transmiten simultáneamente. Para ello se requieren dos líneas independientes, transmisión y recepción; la línea de transmisión de un equipo se conecta a la entrada de recepción del otro y viceversa. Los puertos serie del PC son capaces de utilizar este modo.

Síncronas: Los dispositivos que comunican se sincronizan en el momento inicial de la transmisión y constantemente se intercambian información a una cadencia predefinida. Con objeto de mantener la sincronización, cuando no existen datos que enviar se transmiten caracteres sin valor. Esta transmisión es más rápida que la asíncrona porque no es necesario transmitir señales de inicio o fin de dato; constantemente se reciben caracteres que pueden ser de datos o sin valor (relleno).

Asíncrona: En este modo de transmisión no existe sincronización; no es necesario enviar caracteres de relleno, pero hay que indicar cuando empieza un dato y cuando termina. Esto se hace incluyendo en la transmisión señales de inicio y fin de dato (bits de "start" y "stop"). En la comunicación asíncrona, la información (cada carácter) es enviada en el interior de un cuadro ("Frame") de tamaño variable, que comienza con la mencionada señal de inicio y termina con la de final; es el tipo de comunicación utilizada en los puertos serie del PC. En este tipo de comunicación, el estado de reposo (cuando no se transmite nada) se identifica con un "1" (marca). Cuando se recibe un bit de inicio, que es un "0" (espacio), el receptor toma nota que va a comenzar a recibir un dato.

CONVERSION TTL – RS232

MAX 232

Descripción: El MAX232 dispone internamente de 4 convertidores de niveles TTL al bus standard RS232 y viceversa, para comunicación serie como los usados en los ordenadores y que ahora están en desuso, el COM1 y COM2.

Funcionamiento: El circuito integrado lleva internamente 2 convertidores de nivel de TTL a RS232 y otros 2 de RS232 a TTL con lo que en total podremos manejar 4 señales del puerto serie del PC, por lo general las más usadas son; TX, RX, RTS, CTS, éstas dos últimas son las usadas para el protocolo handshaking pero no es imprescindible su uso. Para que el MAX232 funcione correctamente se debe poner unos condensadores externos, todo esto se puede ver en la siguiente figura en la que

solo se han cableado las líneas TX y RX que son las más usualmente usadas para casi cualquier aplicación.

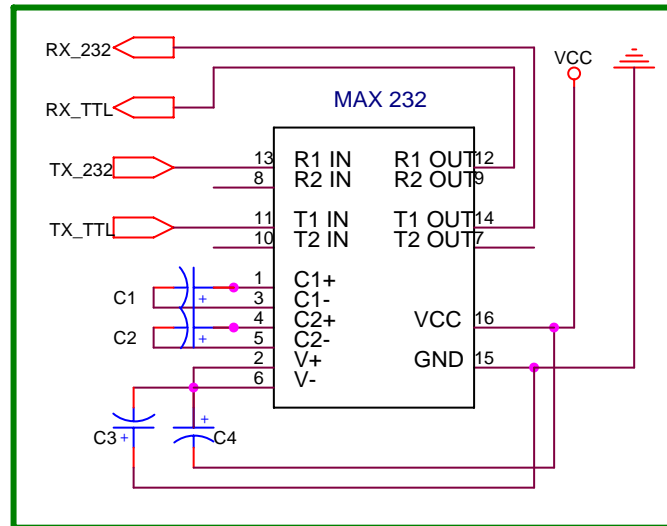


Figura 23. MAX-232

Usos: Este integrado es usado para comunicar un microcontrolador o sistema digital con un PC o sistema basado en el bus serie RS232.

2.1.10 INTRODUCCIÓN A LABVIEW.

Labview es un lenguaje de programación gráfico que utiliza iconos en lugar de líneas de texto para crear las aplicaciones. En contraste con los lenguajes de programación basados en texto, donde las instrucciones determinan la ejecución del programa, en Labview el flujo de datos determina la ejecución.

En Labview se crea una interfaz de usuario utilizando un conjunto de herramientas y objetos. La interfaz del usuario es llamada el Panel Frontal.

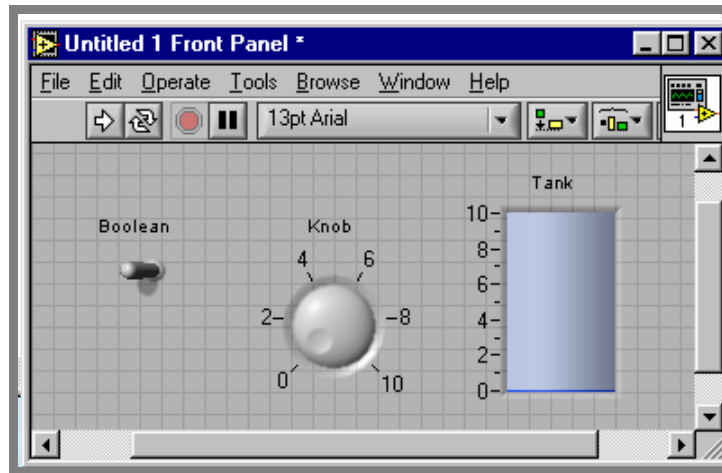


Figura 24. Panel Frontal del Labview

Posteriormente, se adiciona el código utilizando representaciones gráficas de funciones para controlar los objetos del panel frontal. El Diagrama de Bloques contiene dicho código. En ocasiones, el diagrama de bloques parece un diagrama de flujo.

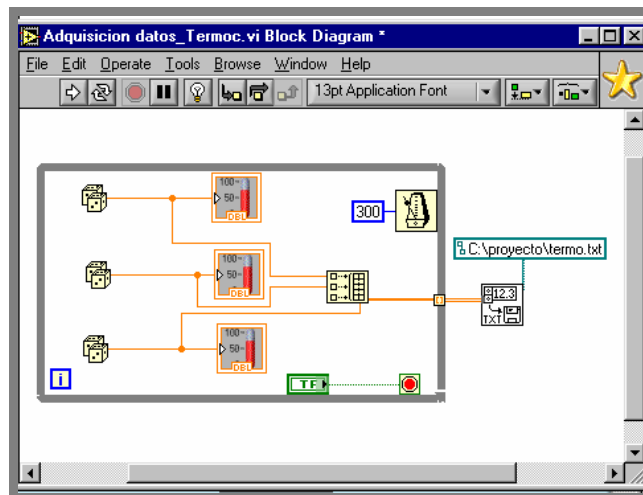


Figura 25. Diagrama de Bloques de Labview

Labview está totalmente integrado para comunicarse con equipos tales como GPIB, PXI, VXI, RS-232, RS-485 y tarjetas de adquisición de datos (DAQ) insertables en la computadora. Labview también posee características para conectar sus

aplicaciones a la web utilizando el Labview Web Server y programas estándares tales como TCP/IP y Actives.

Utilizando Labview se pueden crear pruebas y mediciones, adquisición de datos, control de instrumentos, almacenamiento de datos, análisis de mediciones y aplicaciones de generación de reportes. También se pueden crear librerías ejecutables y librerías compartidas, tales como DLL's, ya que Labview es un compilador verdadero de 32 bits.

2.1.11 SISTEMA DE MODULACIÓN Y DEMODULACIÓN DIGITAL FSK

MODULACIÓN FSK

La Modulación por desplazamiento de frecuencia o FSK, (Frequency Shift Keying) es una forma de modulación digital. Es similar a la modulación en frecuencia convencional FM, pero más sencilla y con menor cantidad de pérdidas de información, dado que la señal moduladora es un tren de pulsos binarios que solo varía entre dos valores de tensión discretos, en lugar de una forma de onda analógica que cambia de manera continua.

Este tipo de modulación consiste en asignar una frecuencia diferente a cada estado significativo de la señal de datos. En esta modulación se cambia la frecuencia de la señal portadora a medida que cambia la señal de entrada digital.

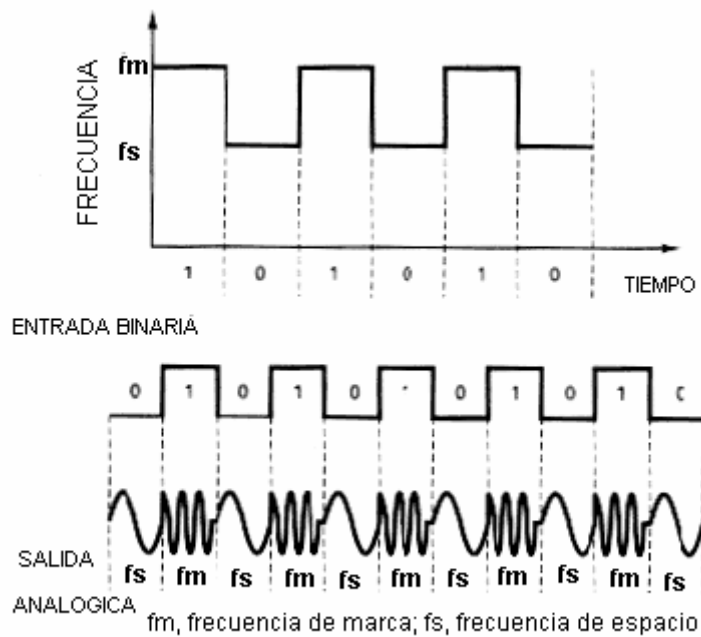


Figura 26. Modulación FSK

Con el FSK binario, la frecuencia central o de portadora se desplaza, por los datos de la entrada binaria. En consecuencia, conforme cambia la señal de entrada binaria de 0 lógico a 1 lógico, y viceversa, la salida del FSK se desplaza entre dos frecuencias: una frecuencia de marca o de 1 lógico y una frecuencia de espacio o de 0 lógico. Con el FSK binario, hay un cambio en la frecuencia de salida, cada vez que la condición lógica de la señal de entrada binaria cambia. Así, la razón de salida del cambio es igual a la razón de entrada del cambio.

En la modulación digital, a la relación de cambio a la entrada del modulador se le llama bit-rate y tiene como unidad el bit por segundo (bps). A la relación de cambio a la salida del modulador se le llama baud-rate. En esencia el baud-rate es la velocidad de símbolos por segundo.

La expresión general para una señal FSK binaria es:

$$(1) \quad v(t) = V_c \cos [(\omega_c + v m(t) D \omega / 2) t] \quad (1)$$

donde:

$v(t)$ = forma de onda FSK binaria

V_c = amplitud pico de la portadora no modulada

ω_c = frecuencia de la portadora en radianes

$v_m(t)$ = señal modulante digital binaria

$D\omega$ = cambio en frecuencia de salida en radianes

De la ecuación (1) puede verse que con el FSK binario, la amplitud de la portadora V_c se mantiene constante con la modulación. Sin embargo, la frecuencia en radianes de la portadora de salida (ω_c) cambia por una cantidad igual a $\pm D\omega/2$. El cambio de frecuencia ($D\omega/2$) es proporcional a la amplitud y polaridad de la señal de entrada binaria. Por ejemplo, un uno binario podría ser +1 volt y un cero binario -1 volt, produciendo cambios de frecuencia de $+ D\omega/2$ y $- D\omega/2$, respectivamente. Además, la rapidez a la que cambia la frecuencia de la portadora es igual a la rapidez de cambio de la señal de entrada binaria $v_m(t)$. Por tanto, la frecuencia de la portadora de salida se desvía entre $(\omega_c + D\omega/2)$ y $(\omega_c - D\omega/2)$ a una velocidad igual a f_m (la frecuencia de marca).

TIPOS DE MODULACION FSK

Existen dos tipos de modulación FSK: FSK Coherente y FSK No Coherente.

- FSK Coherente: Esta se refiere a cuando en el instante de asignar la frecuencia se mantiene la fase de la señal.
- FSK No Coherente: Aquí la fase no se mantiene al momento de asignar la frecuencia.

XR 2206

El XR-2206 es un circuito integrado de la marca EXAR, generador de funciones monolítico, capaz de producir una gran cantidad de señal cuadrada, triangular, de rampa y pulsos de onda de alta estabilidad y exactitud.

La salida de onda puede ser ambas amplitud y frecuencia modulada por un voltaje externo. La frecuencia de operación puede ser seleccionada externamente dentro de un rango de 0.01 Hz a más de 1 MHz. Este circuito es idealmente para situaciones de comunicaciones, instrumentación y en aplicaciones de generador de función donde se requiera tono senoidal, AM, FM, o generación de FSK.

En sí, consta de 4 bloques funcionales:

- Un oscilador controlado por voltaje (VCO)
- Un multiplicador análogo y formador de onda senoidal
- Un buffer amplificador con ganancia unitaria, y;
- Un fijador de switches de corriente.

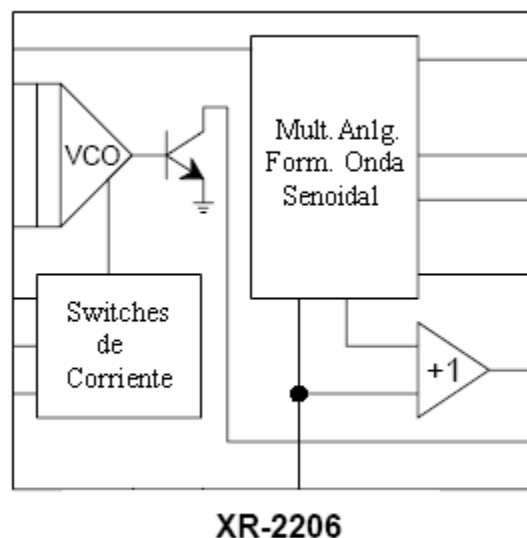


Figura 27. Diagrama esquemático del XR-2206

El VCO produce una frecuencia de salida proporcional a una corriente de entrada, la cual es establecida por una resistencia de las terminales de tiempo a tierra. Con dos pines de tiempo, dos frecuencias de salida discretas pueden ser producidas independientemente para aplicaciones de generación de FSK por medio del pin de

entrada de control FSK. Esta entrada controla los switches de corriente, los cuales seleccionan una de las corrientes de las resistencias de tiempo y la enrutan al VCO.

DEMODULACIÓN FSK

El circuito que más se utiliza para demodular las señales de FSK binarias es el circuito de fase cerrada (PLL), que se muestra en forma de diagrama de bloques en la *Figura 28*. Conforme cambia la entrada de PLL entre las frecuencias de marca y espacio, el voltaje de error de cc a la salida del comparador de fase sigue el desplazamiento de frecuencia. Debido a que sólo hay dos frecuencias de entrada (marca y espacio), también hay sólo dos voltajes de error de salida. Uno representa un 1 lógico y el otro un 0 lógico. En consecuencia, la salida es una representación de dos niveles (binaria) de la entrada de FSK. Por lo regular, la frecuencia natural del PLL se hace igual a la frecuencia central del modulador de FSK. Como resultado, los cambios en el voltaje de error cc, siguen a los cambios en la frecuencia de entrada analógica y son simétricos alrededor de 0 V.

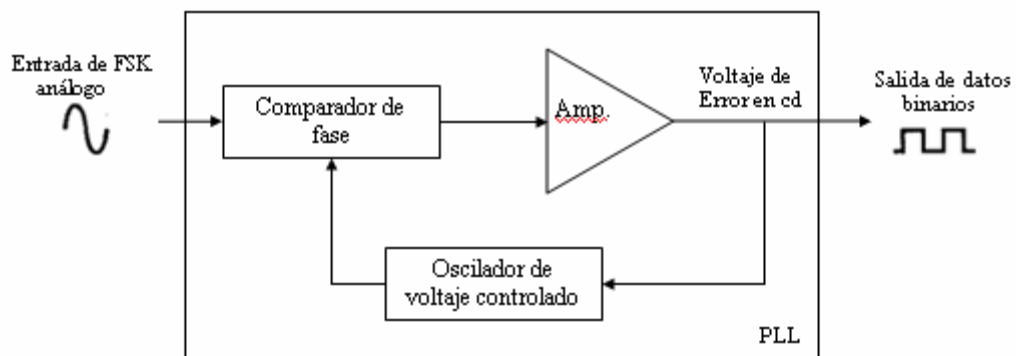


Figura 28. Demodulación FSK

XR 2211

El XR-2211 es un circuito integrado de la marca EXAR, que es un PLL monolítico especial para aplicaciones de comunicaciones de datos. El mismo opera dentro de un rango de ancho de suministro de voltaje de 4.5 a 20V y un rango de frecuencia de

0.01Hz a 300 KHz. Puede adaptarse a señales analógicas entre 2 y 3 mV, es entre cara con las familias lógicas DTL, TTL y ECL.

El circuito consiste principalmente de :

- Un PLL básico para localizar una señal de entrada dentro del pasabanda.
- Un detector de cuadratura de fase el cual proporciona la detección de portadora.
- Un comparador de voltaje FSK que proporciona la frecuencia central independiente, ancho de banda y retardo de salida.

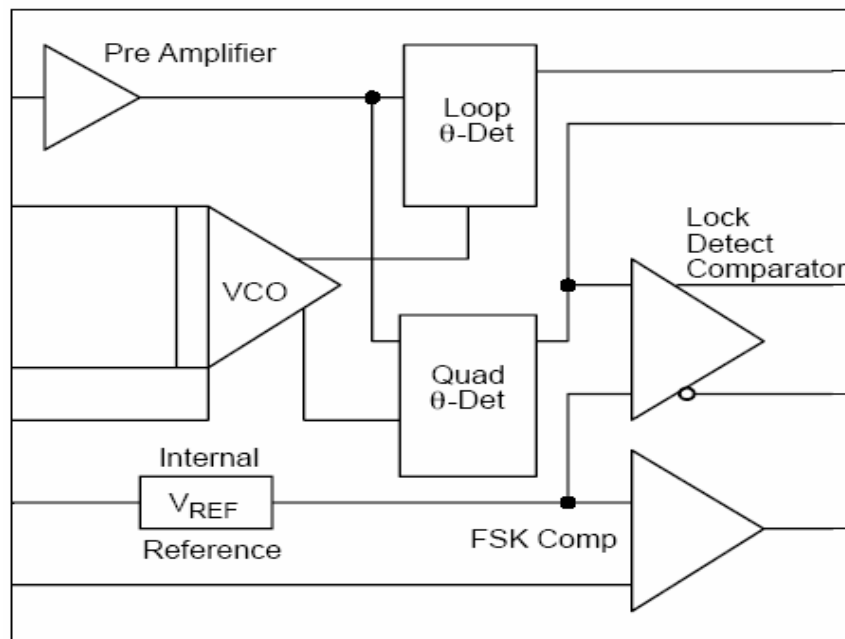


Figura 29. Diagrama de bloques del XR-2211

CAPITULO 3

METODOLOGÍA

3.1 ENFOQUE INVESTIGATIVO

El enfoque de ésta investigación es de tipo cuantitativo, debido a que se ha buscado las causas y la explicación de los hechos que se suscitan en los armarios telefónicos, buscando dar una solución que beneficie tanto a la empresa que provee el servicio como a los que gozan de ella, implementando un sistema que cumpla con sus perspectivas.

3.2 NIVEL Y TIPO

Para este proyecto se ha tomado como modalidad de investigación la Modalidad Especial, ya que se hace referencia al hecho de crear un sistema novedoso que permita automatizar la forma de acceder al armario telefónico, tomando en cuenta que la solución planteada responda a los intereses de la empresa y los abonados.

Este proyecto alcanza un Nivel Explicativo de Investigación, ya que mediante el sistema implementado permitirá comprobar experimentalmente si lo planteado en la hipótesis se cumple o no, descubriendo los posibles problemas que puedan presentarse como consecuencia de diversos factores no estimados, conduciéndonos a la elaboración de un estudio altamente estructurado.

3.3 POBLACIÓN Y MUESTRA

Tenemos una muestra de tres armarios telefónicos correspondientes a un distrito de la Central de Ambato 2.

CAPITULO 4

DISEÑO DEL SISTEMA AUTOMÁTICO DE CONTROL DE ACCESO A LOS ARMARIOS DE DISTRIBUCIÓN TELEFÓNICOS.

4.1 REQUERIMIENTOS DE LA EMPRESA ANDINATEL S.A PARA LA ELABORACIÓN DEL PROYECTO.

Este proyecto plantea solucionar una realidad a la que día a día nos exponemos, tanto Andinatel S.A como los abonados que gozamos de su servicio; esto es, la SEGURIDAD en los armarios de distribución telefónicos.

Para la realización de este proyecto se ha tomado en cuenta los siguientes aspectos, que dicho sea de paso, han sido requerimientos puntuales de Andinatel S.A:

- ⇒ Diseño del proyecto utilizando:
 - ⇒ Infraestructura propia.
 - ⇒ Par de cobre, como medio de transmisión entre el Armario de Distribución y el Repartidor.
 - ⇒ Material, instrumentos y dispositivos pertenecientes a la empresa.

- ⇒ Para la selección del sistema encargado de la apertura del armario de distribución, se debe escoger un automatismo moderno e innovador, que vaya de la mano con la tecnología vanguardista, y cuyas características se ajusten al medio ambiental en el que se encuentra operando éste, además de el hecho, que se expone a que muchas personas puedan manipularlo y dañar su sistema de acceso.

⇒ Buscar principalmente aumentar la eficiencia del proceso incrementando la calidad y la precisión, y disminuyendo los riesgos que normalmente se tendrían en la tarea si fuese realizada manualmente.

⇒ Lograr una propuesta económica

4.1 DESCRIPCIÓN DEL PROYECTO.

Tras recopilar la fundamentación teórica necesaria y escoger la metodología para el impulso del proyecto, a continuación se presenta el desarrollo del mismo en forma detallada, de manera que nos permita ir analizándolo y en base a ello interpretando su comportamiento.

Para una mayor comprensión se partirá de la presentación del siguiente diagrama, que servirá de guía para entender lo que se desea ejecutar en el proyecto; en la descripción de cada bloque se irá detallando paso a paso lo que hay en ellos:

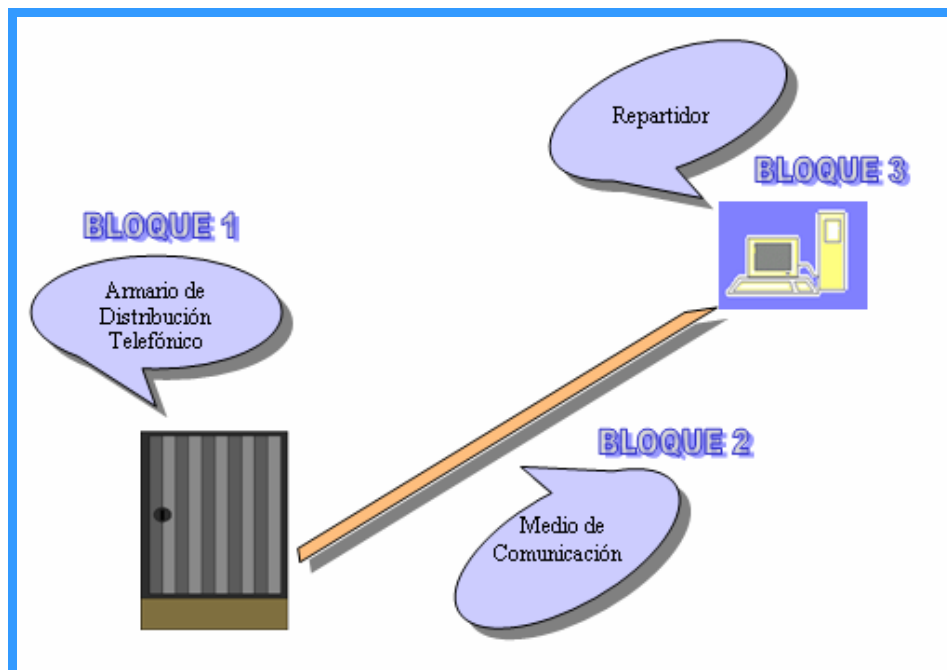


Figura 30. Diagrama genérico del proyecto desarrollado.

BLOQUE 1

ARMARIO DE DISTRIBUCIÓN TELEFÓNICO.

En este bloque se analiza todo cuanto se refiere a los mecanismos que intervienen en el acceso o apertura de los armarios de distribución, además de todos los componentes que puedan adicionarse en él.

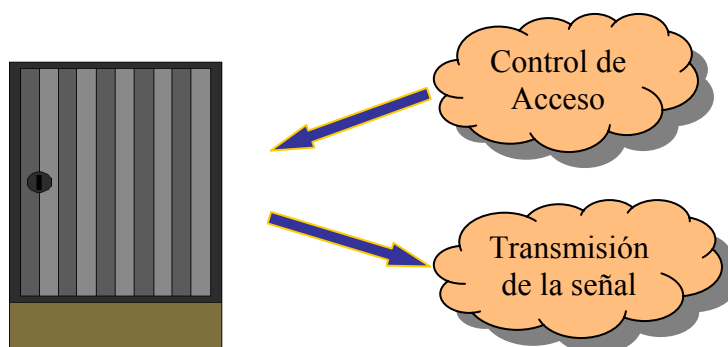


Figura 31. Items involucrados en el montaje del circuito ubicado en los Armarios de Distribución.

Selección del control de acceso a los Armarios de distribución telefónicos:

Se ha tomado en cuenta para esta selección, los sistemas que más se ajusten a las condiciones ambientales, de seguridad y confiabilidad de los Armarios de distribución telefónicos.

Han destacado las siguientes alternativas para su posible ejecución:

- ✓ Control de acceso por teclado.
- ✓ Control de acceso utilizando lector de barras.
- ✓ Control de acceso utilizando lector de tarjeta magnética.

- ✓ Control de acceso utilizando lector de tarjeta con chip.

La selección se ha dado en base a los requerimientos antes mencionados; y el ítem que mejor se ajusta a dichas exigencias es: “Control de acceso utilizando lector de tarjetas con chip”, de modo que, como siguiente punto nos centraremos en la opción escogida.

CONTROL DE ACCESO UTILIZANDO LECTOR DE TARJETA CON CHIP.

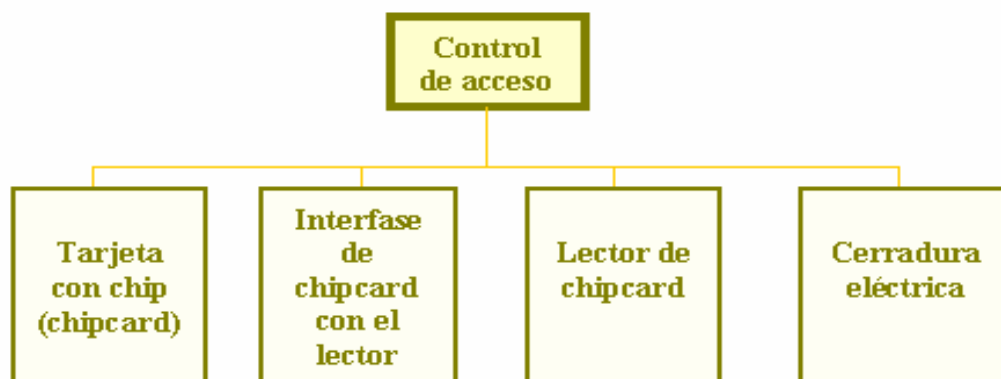


Figura 32. Componentes del Control de acceso a los Armarios de Distribución

CHIPCARD

Por lo descrito en el capítulo dos página 8, del presente trabajo, la tarjeta inteligente, es básicamente un chip, encapsulado en un rectángulo de PVC de aproximadamente 85´ 54mm. El chip que contiene dispone de unos contactos exteriores que son los que le permiten mantener una comunicación con él, y de ésta forma acceder a la información que contiene o grabar nueva información. Estos contactos están bañados en oro para que la tarjeta sea resistente a un uso habitual en cualquier tipo de entorno como: alta humedad (incluso con condensación), ambientes químicos, secos, etc.



Figura 33. Chipcard

Su pequeño formato hace que sea ideal como sistema de identificación personal. Además, su medida no está limitada por razones técnicas, sino por razones de estandarización, es decir, se podrían utilizar tarjetas que fuesen la cuarta parte de las actuales.

Las tarjetas chip han sido desarrolladas como sistema de almacenamiento de información inteligente e interactivos. Por tanto su uso abarca desde sistemas de moneda electrónica, hasta sistemas de identificación asociados al almacenamiento de información de los elementos a identificar. Debido a su capacidad de modificar el contenido sin el requerimiento de un grabador excesivamente costoso y la capacidad de realizar múltiples grabaciones sin riesgo de pérdida de la información, están desbancando a las tradicionales tarjetas de banda magnética. Además, las tarjetas chip microprocesadas permiten tener un control mucho más seguro sobre la identificación, de forma que tras acuerdos internacionales entre fabricantes, existen identificadores diferentes para todas las tarjetas que circulan por el mundo.

La realización de software asociado a este nuevo entorno permite diversidad de aplicaciones comerciales como:

- Control de acceso y de presencia. Limitan y controlan el acceso a áreas restringidas, edificios, oficinas, clubes, administración, ordenadores, ...

- Pagos electrónicos. Ofrece una solución ideal para aplicaciones de tarjeta monedero, tarjetas telefónicas, maquinas expendedoras, clubes de clientes, compras electrónicas, ...
- Transportes. Medio de pago seguro y fácil de utilizar para transportes públicos, billetes de avión parquímetros, peajes de autopistas, ...
- Identificación, autenticación y firma digital. Control de acceso a ordenadores, terminales, redes, aplicaciones de software, bases de datos, directorios, ficheros confidenciales, firma digital, etc...
- Sanidad. Almacenamiento de los datos del paciente, incluyendo su historial médico. Para que los profesionales sanitarios puedan utilizarlos.
- Procesos industriales. Control de accesos en procesos de producción, medición de tiempos, seguridad industrial, etc.

Como mecanismo de **control de acceso**, las tarjetas inteligentes hacen que los datos solo sean accesibles a los usuarios apropiados, esta tarjeta asegura la portabilidad, seguridad y confiabilidad en los datos.

En este proyecto se utiliza una tarjeta de identificación síncrona basada en una memoria interna EPROM SLE-4442 de 128 bits, cuyas características están detalladas en el capítulo 2, página 19.

Una tarjeta telefónica (prepago de cabinas), es una tarjeta con chip de éste tipo, y por estar a nuestro alcance se la utilizó en el desarrollo de este proyecto.

Esta tarjeta contiene en su interior un número de serie único e imposible de modificar. Eso nos indica que la tarjeta además de ser única sobre todo el mundo es imposible de alterar. Entonces, porque no aprovechar eso para diseñar un sistema de seguridad capaz de leer la parte inicial de la tarjeta, comparar el número con los almacenados en la memoria EPROM interna del circuito y permitir o impedir el acceso de la persona a determinado lugar o recinto.

De los 16 bytes que contiene la memoria de su chip, aprovechamos cierto campo de bits como número de identificación del usuario, y que sólo utilizamos en modo LECTURA. Cabe señalar que su uso una vez agotado el saldo, tiene exclusivamente fines didácticos para la aplicación que se plantea.

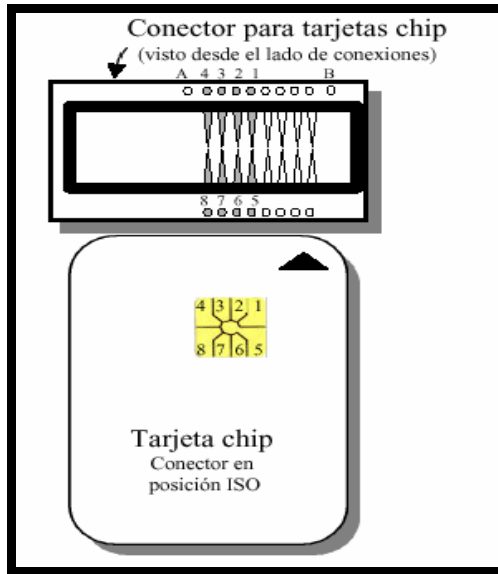
CONECTOR O INTERFASE DE LA CHIPCARD CON EL LECTOR

Hasta aquí, se ha hablado acerca del medio que habilita, en nuestro caso el acceso a los armarios de distribución telefónicos, pero no olvidemos que sin un dispositivo que sirva de interfase entre la tarjeta chip y el lector de ésta, el sistema está deshabilitado. El dispositivo al que nos referimos es el zócalo para PCB de la Tarjeta Chip, que se muestra en la siguiente figura:



Figura 34. Vista posterior del zócalo para PCB de la Tarjeta Chip

Éste permite conectar los contactos de la tarjeta con el sistema lector, pero no solamente conecta la tarjeta con el circuito, también tiene la función de alimentarla por medio de un interruptor interno que se activa al introducirla.



LECTOR DE CHIPCARDS

A continuación, nos centramos en el circuito lector de tarjetas con chip.

Aunque habitualmente nos referimos a este dispositivo como "lector", es frecuente que el mismo dispositivo esté capacitado para realizar la grabación. Existen muchos tipos de lectores de tarjetas chip, y su elección va asociada, sin duda, al escogitamiento de la tarjeta chip que se utilizará. Es decir, el orden de elección comienza por la tarjeta, y una vez decidido el tipo de tarjeta que se utilizará (pueden ser más de uno), se deberá escoger la lectora.

Para este caso, el lector de tarjetas con chip que utilizamos, no solo lee la información de la tarjeta, sino que también tiene la función de controlar otras señales externas provenientes por ejemplo de sensores, y entonces opera de acuerdo a lo previamente programado.

El cerebro de éste lector es el microcontrolador 16F872, el cual se encarga de leer el contenido de la memoria interna de la Tarjeta con Chip cuando es insertada en el zócalo, el microcontrolador es quien toma el control del sistema, es decir, tiene que

comprobar si la tarjeta está insertada, leer el código de seguridad, comprobando con el que tiene en su memoria interna y, si son iguales, activar o desactivar el sistema. Y por otro lado, si el PC está conectado debe quedarse en espera de que éste le informe que los datos que va a enviar son para él y que los guarde en su memoria EEPROM. Estos datos que guarda en la memoria corresponden al código de seguridad de la tarjeta, de este modo, después de proceder a su lectura, puede comparar si son idénticos y obrar en consecuencia.

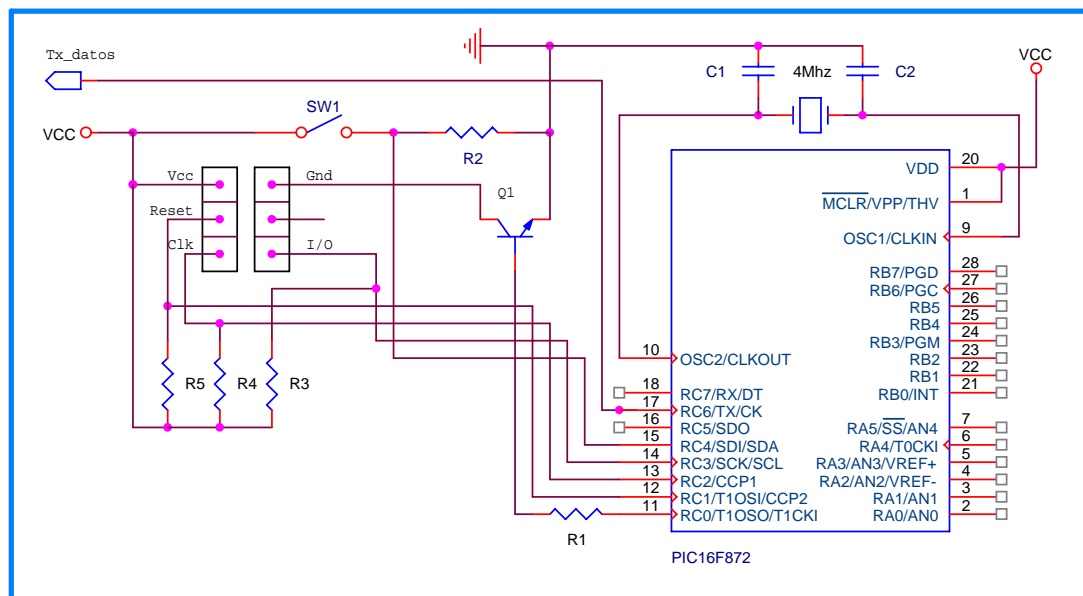


Figura 35. Diagrama del lector de chipcard.

LECTURA DE LA TARJETA

Para empezar con el proceso de lectura de la tarjeta, debemos recordar la estructura interna de ésta, referente a, protocolos de transmisión, modos y comandos de la chipcard SLE- 4442, citados en el capítulo 2, página 20.

Debido a que trabajamos sólo en modo de lectura, tenemos que acceder a una de las tres memorias diferentes que tiene el chip, que es justamente la Memoria Protegida, en donde se encuentran guardados datos imposibles de modificar, que para nuestro proyecto, nos sirve como código de validación del usuario.

El comando que hace posible la Lectura de Memoria, se forma con el byte de control seguido del byte de la Dirección desde donde queremos leer la memoria (recordemos que no es posible leer sólo un byte, hay que leer hasta el final del mapa de memoria).

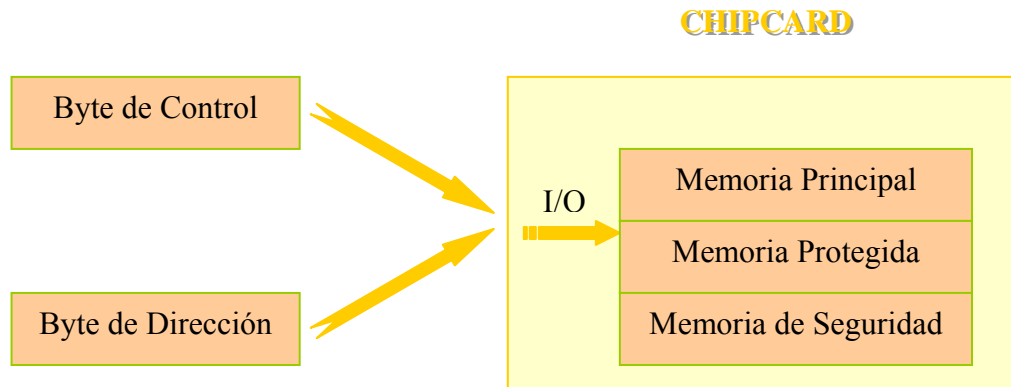


Figura 36. Comando Lectura de Memoria.

El chip recibe bit a bit, a través de su conexión I/O, los dos bytes, y una vez finalizado el tren de pulsos, éste comienza a entregar, por la misma conexión, un bit por cada pulso de reloj adicional, hasta completar la totalidad de bits que forman el mapa de bytes a leer.

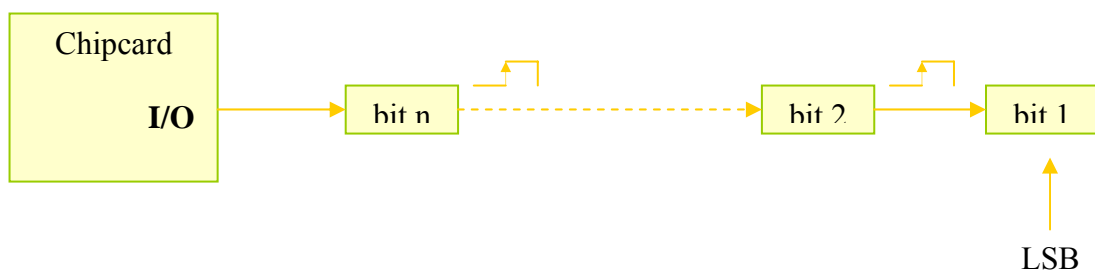


Figura 37. Orden de lectura de bits.

El primer bit que proporciona el chip, es el de menos peso correspondiente al byte de la primera dirección, terminando por el más significativo de la última dirección del mapa de memoria.

Antes de comenzar a mandar pulsos de reloj para leer la memoria, debemos saber la cantidad que se requiere para completar la lectura del último byte.

De cara al exterior y en los ciclos de lectura, sólo se precisan tres señales para controlarlas: Una entrada de reloj (CLK), que actúa directamente sobre la señal de reloj del contador de direcciones, una salida de datos (I/O) de donde se leen los bits en formato serie por cada pulso de reloj que se aplica, y una entrada de reset (RST) activa a nivel alto y síncrona con un pulso de reloj, que sirve para resetear el contador de direcciones.

A través de Reset y CLK, la lectura de datos se lleva a cabo así:

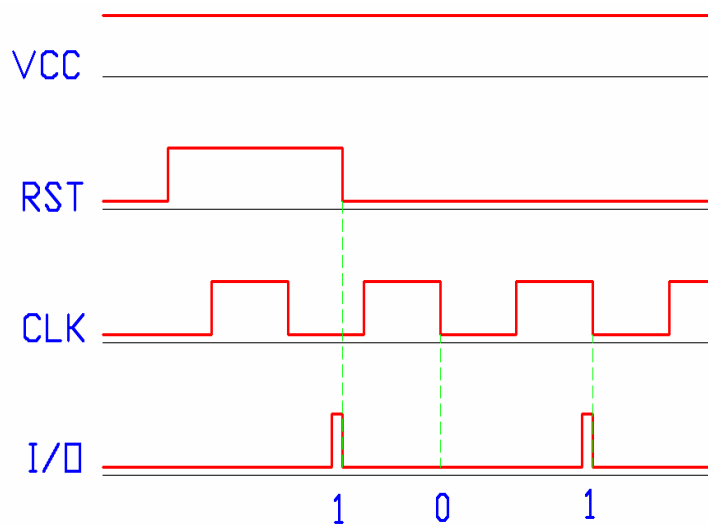


Figura 38. Formas de onda de la Lectura de la tarjeta

Por ejemplo, si se desea sacar los tres primeros bits del primer byte, la secuencia es la siguiente:

Se pone a nivel alto RST (Reset) y permanece activo hasta que se aplique otro nivel alto pero ésta vez en CLK, cuando suba CLK, el contador de direcciones se resetea, es decir va a comenzar de la primera dirección (como tenemos 16 direcciones, tenemos 16 bytes para leer) una vez hecho esto CLK debe bajar antes que RST, y posteriormente RST baja sacando el primer dato por I/O, el primer dato es el primer

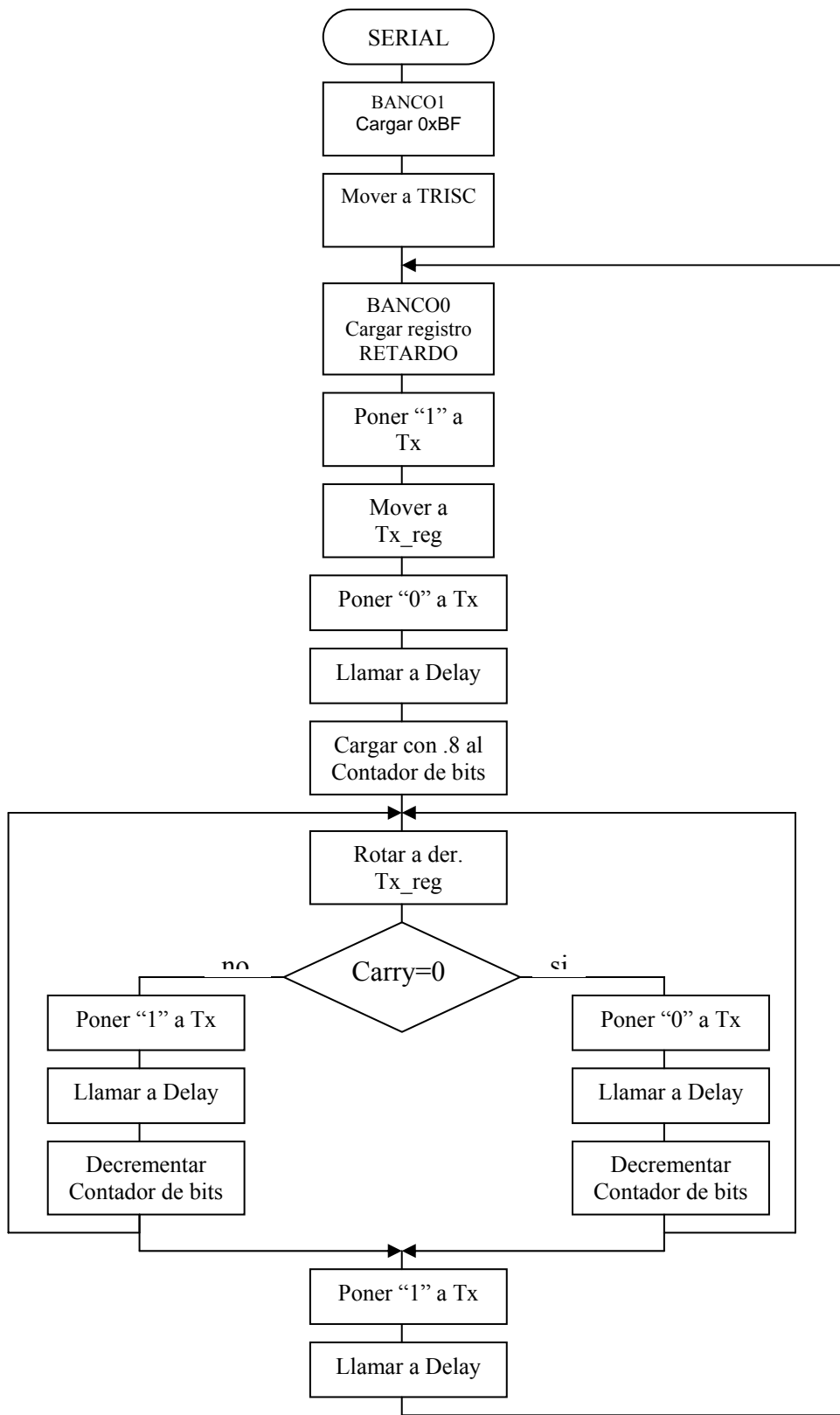


Figura 41. Organigrama de Transmisión Serial

CERRADURA ELÉCTRICA

Es el mecanismo metálico que sirve para cerrar la puerta del armario de distribución. La señal que activa la cerradura, viene de una salida del microcontrolador por medio de un relé, que adapta la señal a un pulso eléctrico que reconoce la cerradura.

SENSOR ÓPTICO.

De la misma forma que el microcontrolador envía una señal a la cerradura para abrirla, ésta debe también enviar una señal hacia el pic para avisarle que cerró. Esto lo realiza gracias a la presencia de un sensor óptico, el cual a la ausencia de luz, que coincide con el instante del cerrado de la puerta, envía una señal de aviso.

A continuación, se presenta el diagrama esquemático del circuito de control y apertura de los armarios de distribución, en donde sobresale notablemente la participación del microcontrolador como elemento principal de éste. Además se acompaña de un organigrama que explica el modo de funcionamiento del circuito.

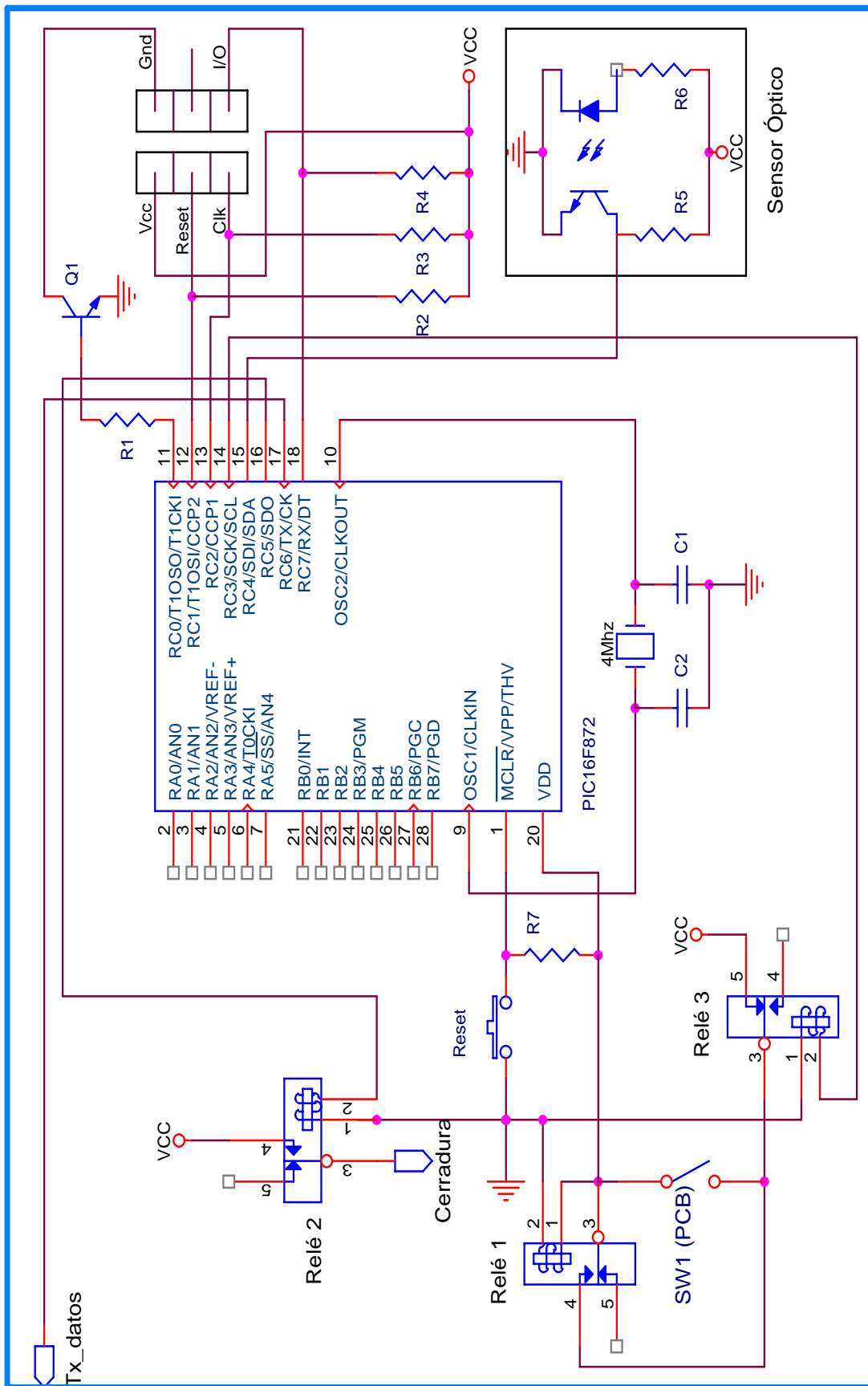


Figura 42. Circuito de Control de acceso a los armarios

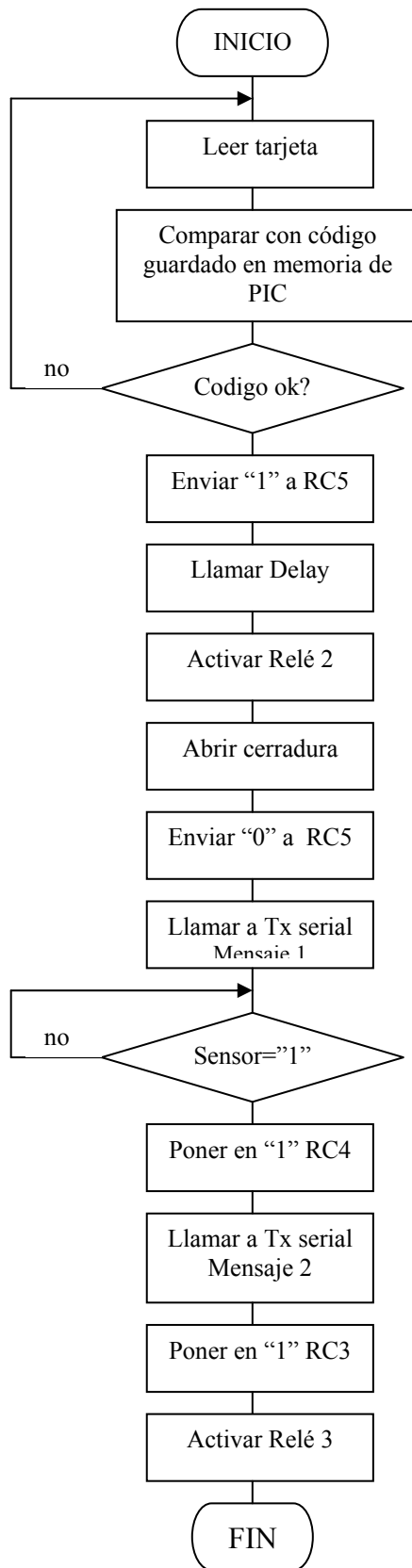


Figura 43 . Organigrama del circuito del Control de acceso a los armarios.

No olvidemos que todo circuito electrónico requiere de una fuente de corriente que le proporcione tensión necesaria para que sus circuitos puedan funcionar correctamente. Este circuito funciona con 5 voltios de C.C para lo cual, la fuente que los proporciona está integrada en él.

Recordemos que la tensión de alimentación que llega a la tarjeta, es a través del interruptor de su conector, descrito anteriormente, y es enviada al pin Vcc del microcontrolador, el cual acciona el sistema lector.

Como vimos en la *Figura 42*. la conexión SW1 está conectada a los 5 voltios de la alimentación; en ausencia de tarjeta el interruptor permanecerá abierto por lo que no habrá tensión en la conexión Vcc hasta que ésta no esté totalmente introducida en el conector. Al introducirla recibirá la tensión a través del contacto NC del Relé 3, que a su vez, energizará la bobina del Relé 1, cerrando el contacto NA, y permitiendo que de esa forma el sistema quede enclavado, incluso en ausencia de la tarjeta.

Además, el Relé 3, está encargado de desactivar todo el sistema, en el momento que reciba un pulso de señal del sensor óptico, mediante el cual desconecta el contacto NC que está alimentando a todo el circuito.

TRANSMISIÓN DE LA SEÑAL DE INFORMACIÓN.

Como se lo ha demostrado hasta el momento, es el pic, aquel que controla la forma de acceso a los armarios de distribución, validando la información de la tarjeta, y habilitando o no, la cerradura eléctrica, recibiendo y mandando señales de información que hacen posible un control remoto de éstos en el Repartidor de Andinatel.

Pero para lograr dicha transmisión, se necesita un sistema que acondicione las señales de información TTL originadas en el microcontrolador situado en el armario de distribución, en otras, que puedan viajar alcanzando grandes distancias.

Es por ello, que se hace uso de un Sistema de Transmisión tipo FSK (Frequency Shift Keying), cuyas características están descritas en el capítulo 2, página 54, el cual permite modular y demodular la señal de información que vamos a transmitir.



Figura 44. Sistema de Transmisión FSK

TRANSMISOR FSK

El transmisor FSK, básicamente consta del Modulador FSK.

Como modulador se ha utilizado el chip XR2206 (descrito en el capítulo 2, página 54), que es un chip que puede generar señales sinusoidales, cuadradas o triangulares de alta calidad, de la que se puede especificar la amplitud y la frecuencia. Esto último se lo modifica mediante dos potenciómetros que facilitan el afinamiento de la señal. Como ya sabemos el chip soporta frecuencia desde 0.01hz hasta 1Mhz, por tanto nos esta dentro de la frecuencia de trabajo, que son 100 khz para la frecuencia baja y 200 khz para la frecuencia alta. Y su diseño al igual que los valores de los elementos que se usan en él se encuentran en sus respectivas hojas de datos.

Las conexiones para este chip son las siguientes:

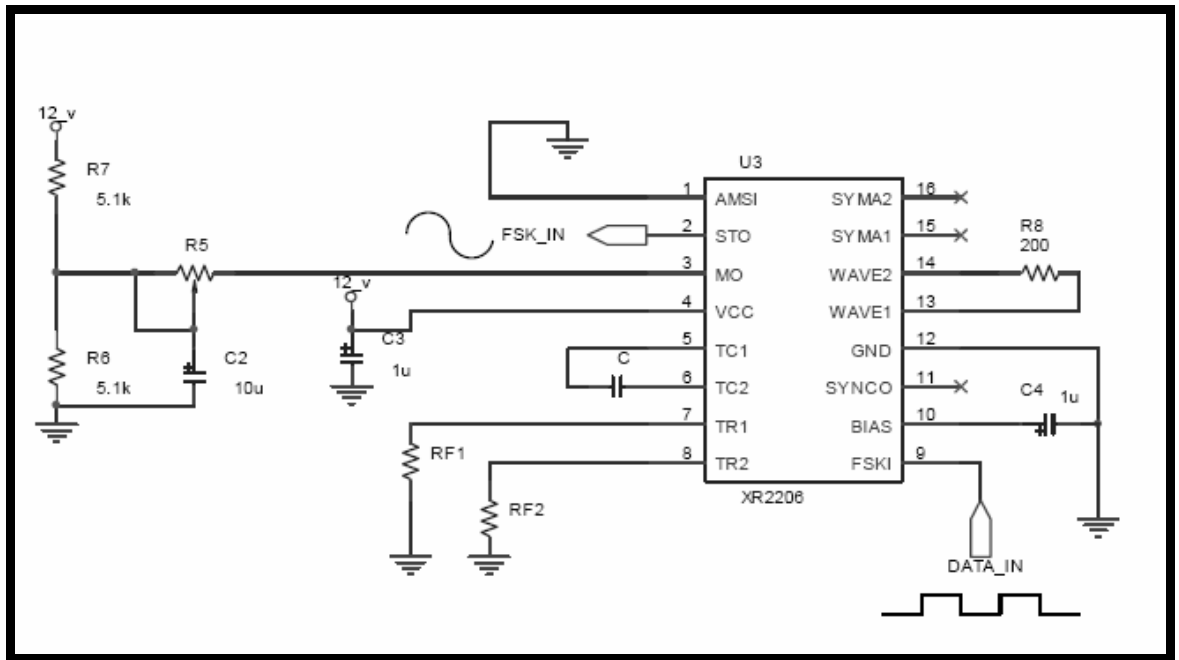


Figura 45. Circuito Modulador FSK

En donde la amplitud de la señal de salida viene dada por el potenciómetro R5 del pin 3, y las dos frecuencias de oscilación son debidas a las resistencias RF1 y RF2 de los pines 7 y 8 respectivamente, y del condensador C.

La relación viene dada por:

$$f1 = 1/R1C$$

$$f2 = 1/R2C$$

Una para la transmisión de los 0s y otra para la de los 1s.

Para el cálculo se ha fijado el condensador C=1nF y calculado las R, para las resistencias anteriormente comentadas. Como constante seguida a lo largo de la práctica, se ha puesto un potenciómetro para posibles ajustes que se puedan necesitar, y afinar más en el valor final.

Se puede ver las señales a su salida así:

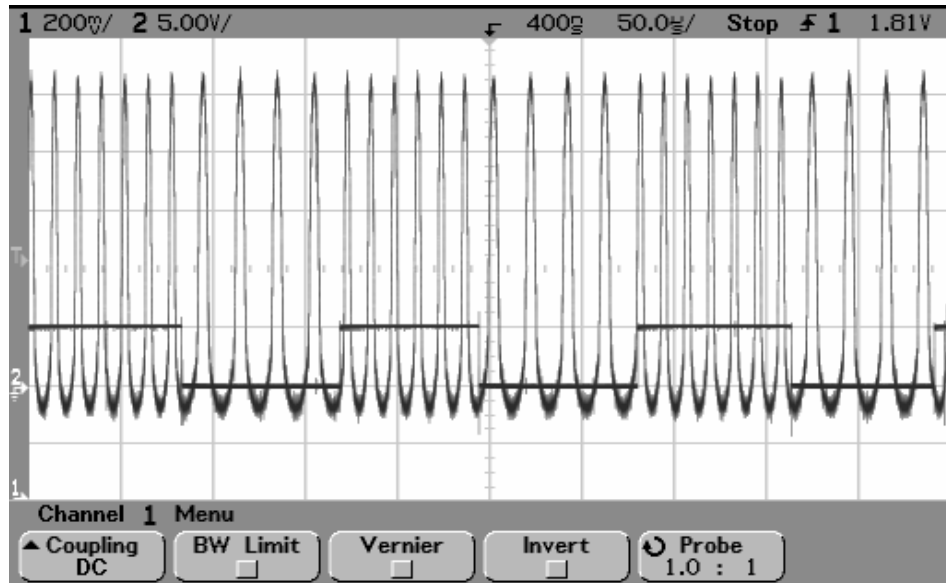


Figura 46. Formas de onda del circuito modulador FSK

Como se observa el modulador varía la frecuencia según si se transmite un “1” o un “0”. De todas formas este no es un seno perfecto. Por tanto en la representación frecuencial no se ve las dos frecuencias claramente diferenciadas.

Hay que destacar que las frecuencias en la placa no son las calculadas teóricamente. Esto se debe a que se las puede variar mediante potenciómetros conectados a RF1 y RF2 para obtener una transmisión óptima.

RECEPTOR FSK.

Se trata de un receptor de modulación digital FSK que trabaja a las frecuencias de emisión de 100khz y 200khz

Este circuito se lo realizó basándonos en el integrado xr2211 y su diseño al igual que los valores de los elementos que se usan en él se encuentra en sus respectivas hojas de datos.

Como sabemos, el XR2211 se trata de un sistema basado en un PLL orientado para comunicaciones en módems.

Este chip dispone de un ancho de banda elevado (0.01kHz – 300kHz) así como de un rango de alimentación adecuado para nuestra aplicación (4.5- 20V) que permitirá trabajar en TTL.

Para adaptar el integrado a este diseño, se hará uso de una serie de ecuaciones muy útiles. Se detalla a continuación el proceso a seguir:

1. Fijar el Baud Rate y las frecuencias con las que se va a trabajar. En éste caso:

$$BR = 2.4 \text{ kbps}$$

$$f1 = 100 \text{ kHz}$$

$$f2 = 200 \text{ kHz}$$

2. Calcular la frecuencia central:

$$f_o = \sqrt{f_1 \cdot f_2} = 141.42 \text{ kHz}$$

3. Calcular Ro: el fabricante recomienda que el valor de R0 esté entre 10 y 100K. Es un valor que se acabará de fijar en la placa mediante un potenciómetro Rx.

$$R_o = R_o + R_x = 22K + 2.3k$$

4. Calcular C0:

$$C_0 = 1 / R_o * f_o = 0.3 \text{ nf}$$

5. Calcular R1:

$$R_1 = \{(R_o * f_o) / (f_1 - f_2)\}^2 = 62.22k$$

6. Cálculo de C1:

$$C_1 = (1250 * C_0) / R_1 * 0.25 = 24 \text{ pf}$$

7. Cálculo de Rf y Rb:

$$R_f = 5R_1 = 311k$$

$$R_b = 5R_f = 1.5M$$

Podemos aproximar todos los valores. En la práctica resulta útil poner potenciómetros para los valores de R1, Ro. Variando R1 estamos fijando el ancho de banda del receptor y con Ro la frecuencia central.

De esta forma controlamos que tanto emisor y receptor acaben de enganchar el PLL interno del integrado. Esto lo vemos claramente cuando una vez conectados emisor y receptor realicemos la siguiente prueba:

- Poner a la entrada del emisor un “1” constante. El receptor Demodula un “1” constante.
- Poner a la entrada del emisor un “0” constante y recibiendo por el Demodulador un “0” constante también.

Para conseguirlo tenemos que variar los valores de R1 y Ro. Al final vemos como en el pin 13 y 14 (Co) la frecuencia se fija a la del “1” y la del “0” según recibimos uno u otro.

Las señales que se observaron en el desarrollo del proyecto fueron las siguientes:

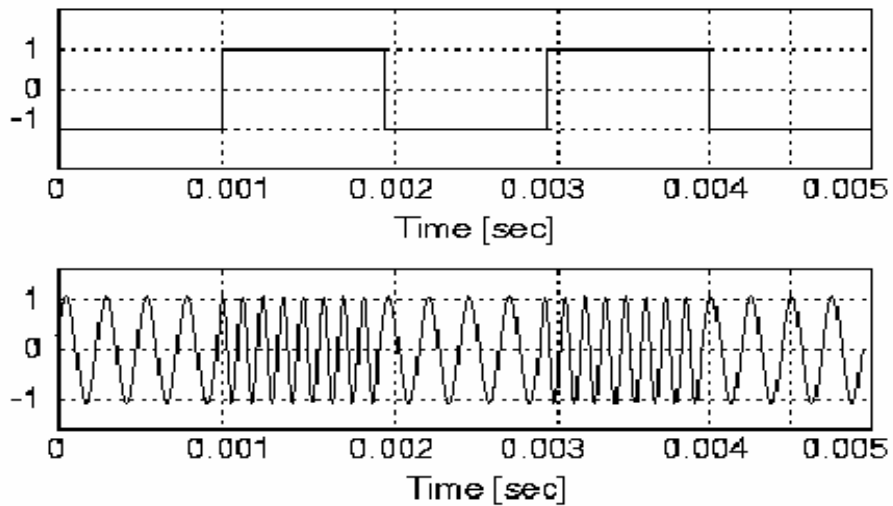


Figura 47. Formas de onda de la señal modulada

La primera es la señal de entrada (portadora) que se obtiene del PIC. La segunda es la señal de salida que se mira en el pin número 2 del integrado XR2206 la cual se introduce en el pin 2 del integrado XR2211.

Las conexiones para este chip son las siguientes:

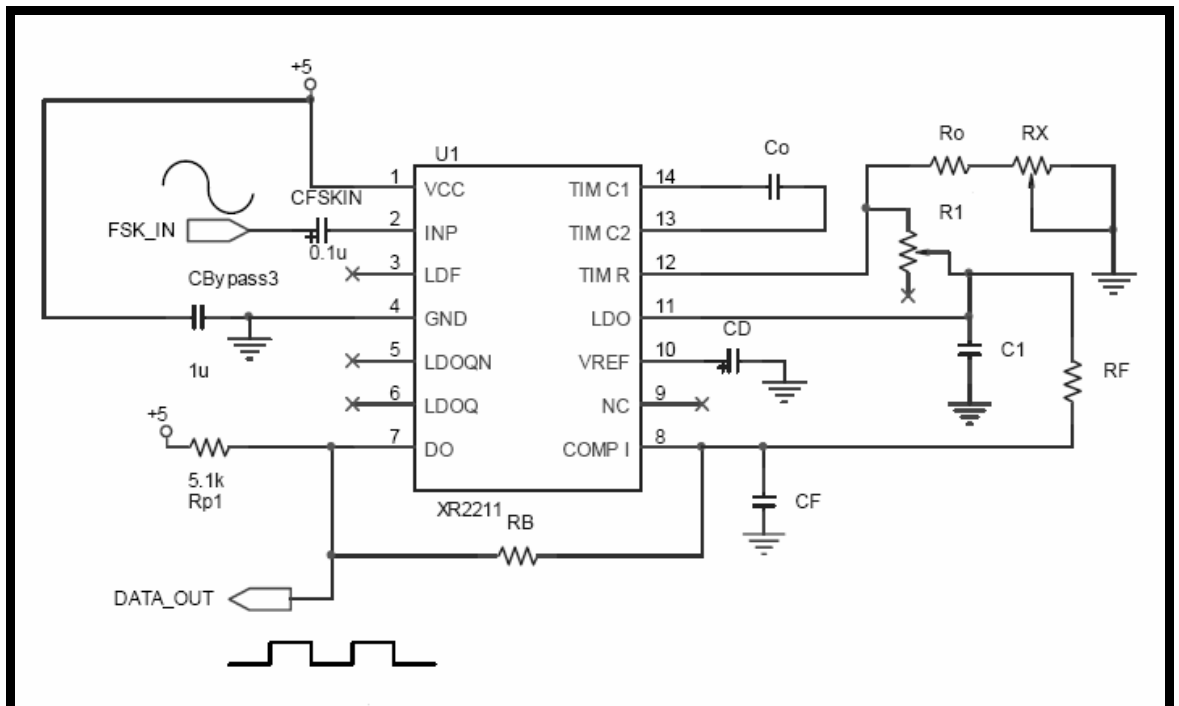


Figura 48. Circuito Demodulador FSK

BLOQUE 2

MEDIO DE COMUNICACIÓN

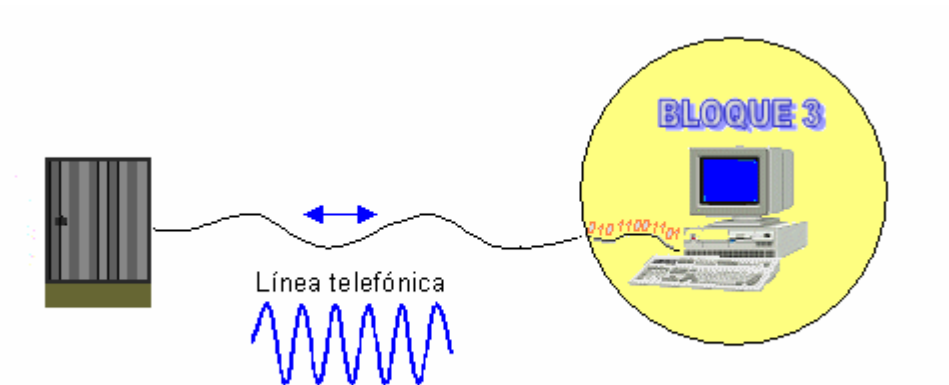
En este bloque se trata del medio por el cual la información generada en los armarios de distribución es conducida hasta llegar al Distribuidor de Andinatel. El medio al cual nos referimos es el Par de Cobre (antedicho en el Capítulo 2, Página 7).

El par de Cobre es el utilizado en la Red de Planta externa de Andinatel, por tanto es el que conecta al armario de distribución con el repartidor. Y es justamente el que lleva la información que necesitamos al sitio deseado. Cabe recalcar que el par utilizado en cada armario es un par muerto.

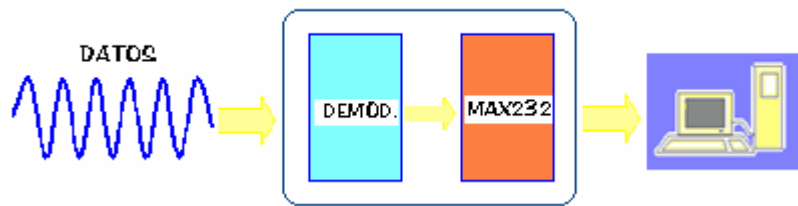
BLOQUE 3

REPARTIDOR.

El Repartidor es el lugar en donde se efectúa el control por computadora de la operación de los armarios de distribución.



Este bloque realiza la parte de recepción de datos de todo el sistema. El diagrama siguiente nos da una idea de la conformación de esta etapa.



Como se puede apreciar en la figura, la señal de información entra en primera instancia al demodulador FSK, que fue explicado cuando se habló del sistema de transmisión FSK.

Como segunda instancia, ésta señal de información pasa al CI MAX232, quien es el encargado de transformar la señal de datos TTL proveniente del XR2211, en una señal acondicionada a la que maneja la computadora.

La siguiente figura muestra las conexiones de éste circuito:

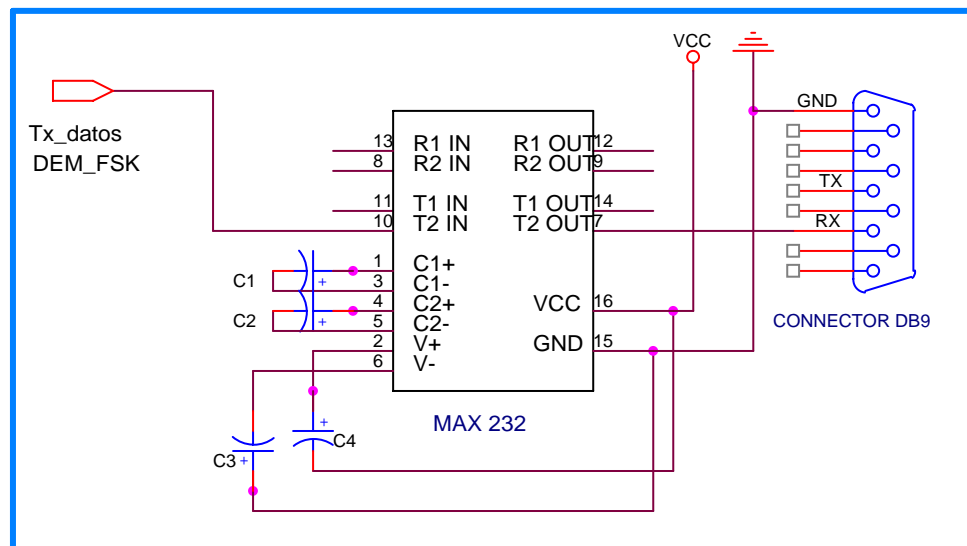


Figura 49. Circuito MAX-232

Pero para que la señal sea reconocida por el puerto serial de la computadora, y que por medio del cual permita el ingreso de ésta, el puerto debe ser configurado previamente.

La configuración de éste, se la ha llevado a cabo haciendo uso del software de Labview de National Instruments.

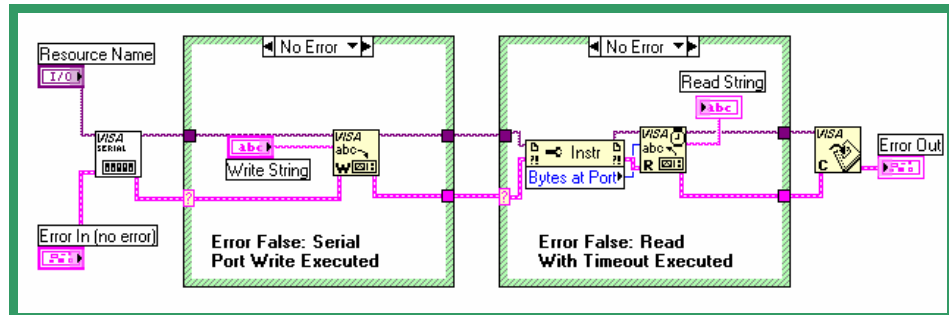


Figura 50 . Configuración del puerto serial.

Conjuntamente con la configuración del puerto serial, se ha desarrollado un sistema de programación que controla y genera reportes diarios de la actividad del acceso a los armarios de distribución, mostrando al usuario un panel frontal que visualiza de forma gráfica los armarios a controlarse, indicando también la hora y fecha en que se los abre y el nombre de quien lo hizo, sin olvidar que los reportes anteriormente mencionados se ejecutan automáticamente cada 24 horas, y que quien desee acceder a ellos podrá hacerlo tan sólo oprimiendo el botón del panel que indica aquello.

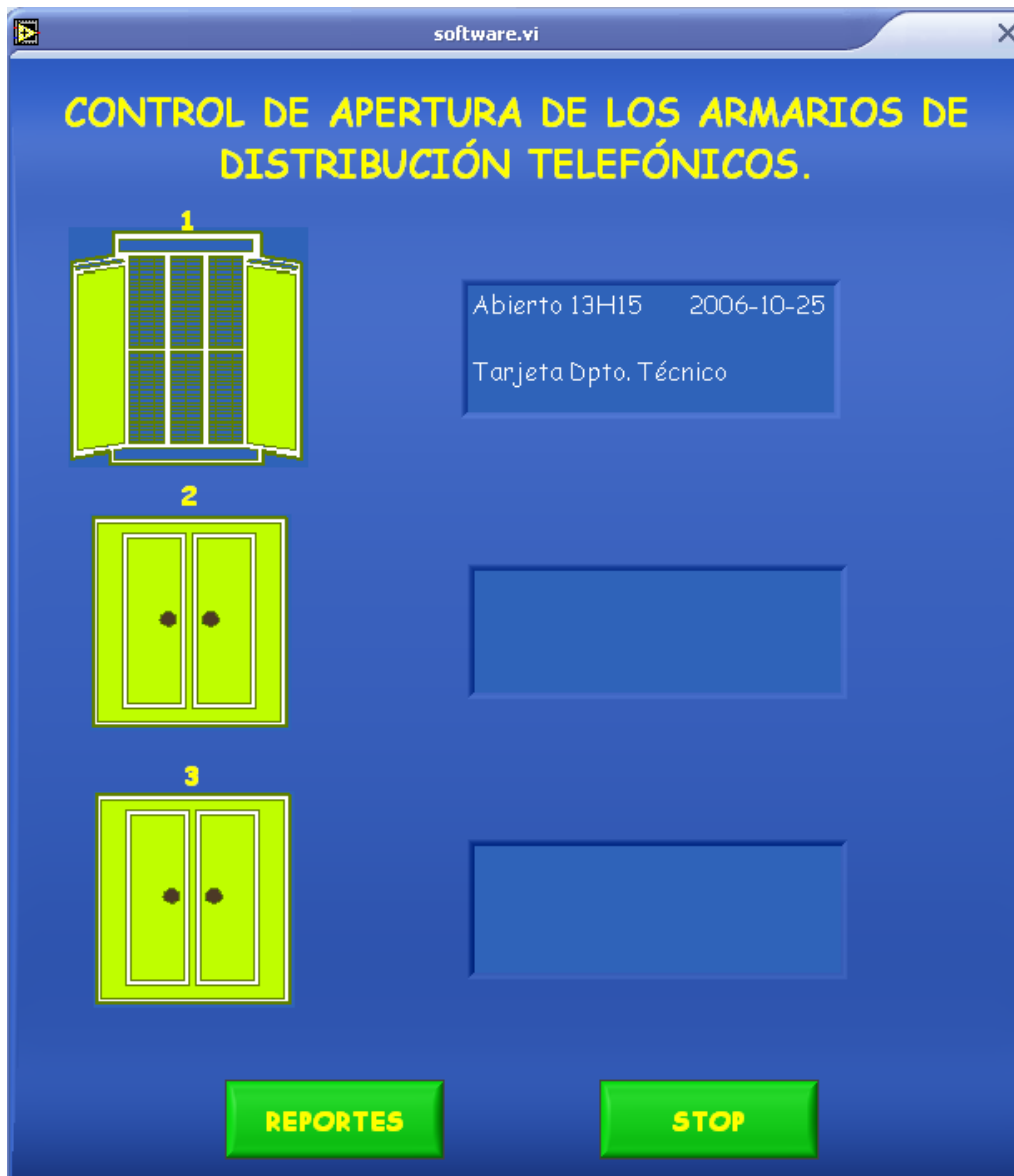


Figura 51. Software que controla la operación de los armarios.

Hasta aquí, se ha explicado todo el sistema tomando de muestra un armario; cuando este número aumente, la implementación será la misma, adicionando una última cosa: un PIC16F872, conectado después del demodulador FSK y antes del MAX232, con la finalidad de que a medida que vayan aumentando el número de armarios a controlarse, el PIC enrute a cada uno de ellos al computador y envíe la información que generan, uno a uno; evitando así un colapso en la señal.

CAPITULO 5

CONCLUSIONES Y RECOMENDACIONES

5.1 CONCLUSIONES:

- ✦ Las tarjetas chip microprocesadas permiten tener un control mucho más seguro sobre la identificación, de modo que son excelentes para el control de acceso.
- ✦ El baud rate que se utilice en el sistema de comunicación, depende directamente de la cantidad de información que se va a transmitir, ello hará que el sistema sea ágil o lento.
- ✦ En la transmisión serial, el tiempo de retardo necesario para empezar a transmitir los bits de información, debe ser calculado de acuerdo al oscilador que se utilice.
- ✦ Si se utiliza en el microcontrolador un cristal de 4Mhz, se garantiza una mayor precisión y un buen arranque del micro, ya que internamente esta frecuencia esta dividida por cuatro, lo que hace que la frecuencia efectiva de trabajo sea de 1 MHz, por lo que cada instrucción se realiza en un microsegundo (1 μ S).
- ✦ Si la información que se desea transmitir, va a viajar distancias superiores a los 1000 metros, se debe utilizar un sistema de comunicación que involucre una etapa moduladora en el transmisor y una etapa demoduladora en el receptor. Caso contrario, la señal se atenúa y se pierde en el trayecto.
- ✦ El modulador y el demodulador se centran en los dos integrados XR. Ha sido necesario acabar de fijar los valores de sus componentes externos mediante potenciómetros. Los valores críticos han sido:

R1 y R2 en el modulador para fijar las frecuencias de transmisión.
Rx y R1 en el demodulador para fijar la frecuencia central y el ancho de banda.

5.2 RECOMENDACIONES:

Se recomienda :

- ✦ Tomar en cuenta las especificaciones del par de cobre, tales como, diámetro, espesor, resistencia eléctrica, atenuación, etc, al momento de seleccionar el sistema de transmisión, ya que de ello influye en gran parte su desenvolvimiento.
- ✦ Que la alimentación total del circuito electrónico del armario de distribución sea con una sola batería de 12 voltios para el modulador FSK y 5 voltios obtenidos de ésta como resultado de un divisor de tensión para el microcontrolador, en lugar de dos diferentes de 12 y 5 voltios, para el microcontrolador y el XR2206 (modulador FSK) respectivamente.
- ✦ Que el zócalo para la tarjeta que sirve como interfase entre ésta y el lector, se ubique en el armario, de tal forma que no esté tan expuesta al medio exterior, para evitar el deterioro de sus contactos.
- ✦ Que el software de recepción sea de forma gráfica, para que el usuario que lo maneje, lo haga sin dificultad.
- ✦ El software antedicho, no se controle desde el distribuidor, sino que haciendo uso de la red interna que se maneja en la empresa se traslade a otro departamento.

BIBLIOGRAFÍA

1. Leon W. Couch / Sistemas de comunicaciones digitales y analógicos / Editorial Pearson Educación / Quinta edición / 1998.
2. Wayne Tomasi / Sistemas de comunicaciones electrónicas / Editorial Pearson Educación / Segunda edición / 1996.
3. Texas Instruments / Hojas de datos (TLV1578EVM).
4. Exar / Hojas de datos (XR-2206).
5. Exar / Hojas de datos (XR-2211).

DIRECCIONES EN LA WEB:

- www.monografias.com/trabajos14/dificultades-iso/dificultades-iso.shtml
- www.monografias.com/trabajos7/coman/coman.shtml
- www.monografias.com/trabajos5/sisope/sisope2.shtml
- www.monografias.com/Fisica/index.shtml
- www.monografias.com/trabajos15/logica-metodologia/logica-metodologia.shtml
- www.monografias.com/trabajos12/mncerem/mncerem.shtml
- www.monografias.com/trabajos12/microco/microco.shtml
- www.monografias.com/trabajos14/nuevmicro/nuevmicro.shtml
- www.monografias.com/trabajos12/dispalm/dispalm.shtml
- www.quik.com.mx
- www.zator.com/Hardware/H2_5_1.htm
- www.electronicafacil.net/tutoriales/tutorial110.html
- www.e-advento.com/nosotros/glosario.php
- www.proton.ucting.udg.mx/expodec/abr99/e17/e_17.html
- www.personal.telefonica.terra.es/web/x-robotics/downloads/datasheets/DS1869.pdf
- [www.maxim-ic.com/quick_view2.cfm?qv_pk=1798">MAX232.pdf](http://www.maxim-ic.com/quick_view2.cfm?qv_pk=1798)
- www.c3po.es/tarjetas_chip.html

- www.maxking.com/chipdrivecards.htm
- www.upm.es/laupm/carneupm/infogen.html
- www.inditar.com/tarjetas.php
- www.depeca.uah.es/docencia/ITT-SE/lsted2/Control_accesos/Control_accesos.htm
- www.monografias.com/trabajos/todomodem/todomodem.shtml
- www.sagitron.es/notas_prensa/cml/cml0603.htm
- www.grupoice.com/esp/cencon/gral/infocom/glosario_telecom.htm
- www.proton.ucting.udg.mx/expodec/abr99/e17/e_17.html
- www.electronicafacil.net/tutoriales/tutorial110.html

ANEXOS

Adjunto:

- Hoja de Datos XR2211
- Hoja de Datos XR2206

FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, $\pm 1\%$ to 80%
- Excellent Temp. Stability, $\pm 50\text{ppm}/^\circ\text{C}$, max.

APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a

quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55°C to +125°C
XR-2211N	14 Pin CDIP (0.300")	-40°C to +85°C
XR-2211P	14 Pin PDIP (0.300")	-40°C to +85°C
XR-2211ID	14 Lead SOIC (Jedec, 0.150")	-40°C to +85°C

BLOCK DIAGRAM

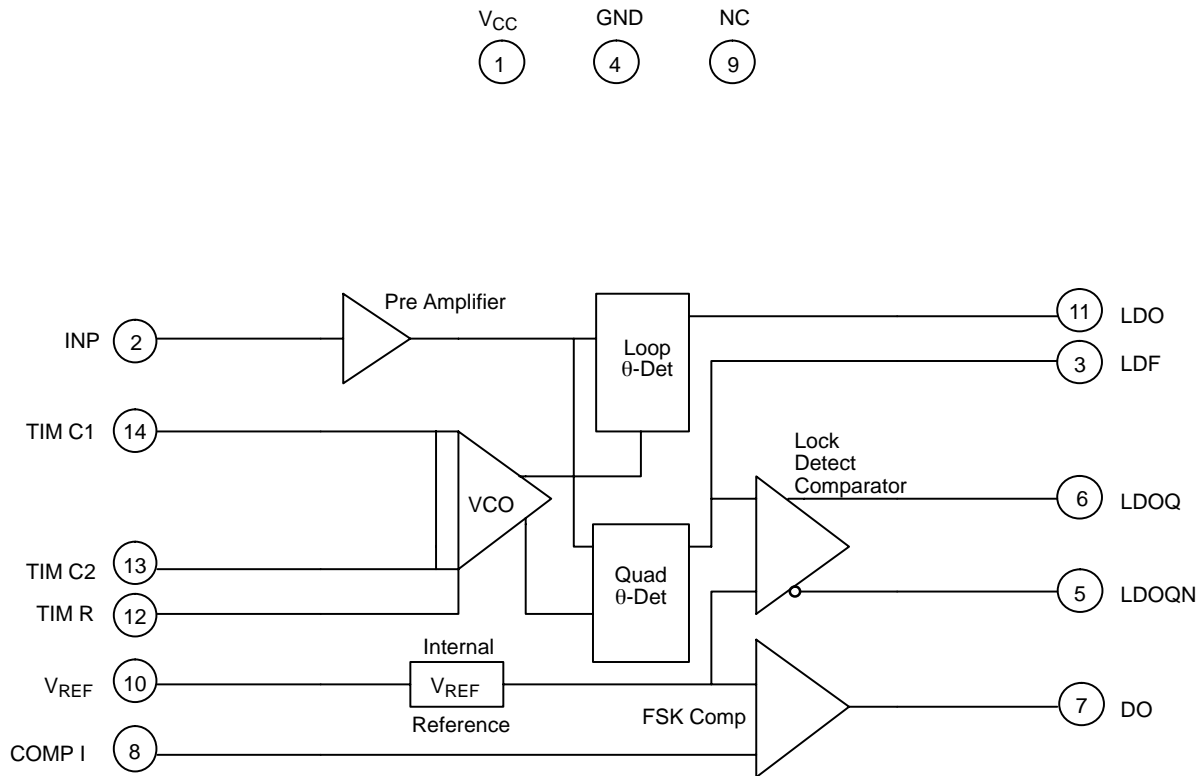
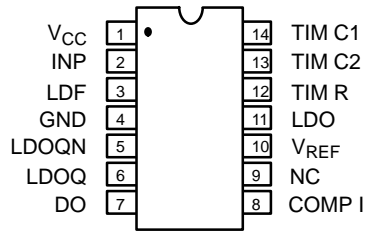
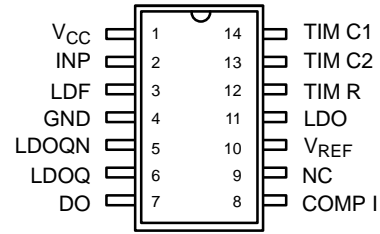


Figure 1. XR-2211 Block Diagram

PIN CONFIGURATION



14 Lead CDIP, PDIP (0.300")



14 Lead SOIC (Jedec, 0.150")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	V _{CC}		Positive Power Supply.
2	INP	I	Receive Analog Input.
3	LDF	O	Lock Detect Filter.
4	GND		Ground Pin.
5	LDOQN	O	Lock Detect Output Not. This output will be low if the VCO is in the capture range.
6	LDOQ	O	Lock Detect Output. This output will be high if the VCO is in the capture range.
7	DO	O	Data Output. Decoded FSK output.
8	COMP I	I	FSK Comparator Input.
9	NC		Not Connected.
10	V _{REF}	O	Internal Voltage Reference. The value of V _{REF} is V _{CC} /2 - 650mV.
11	LDO	O	Loop Detect Output. This output provides the result of the quadrature phase detection.
12	TIM R	I	Timing Resistor Input. This pin connects to the timing resistor of the VCO.
13	TIM C2	I	Timing Capacitor Input. The timing capacitor connects between this pin and pin 14.
14	TIM C1	I	Timing Capacitor Input. The timing capacitor connects between this pin and pin 13.

ELECTRICAL CHARACTERISTICS

Test Conditions: $V_{CC} = 12V$, $T_A = +25^\circ C$, $R_0 = 30K\Omega$, $C_0 = 0.033\mu F$, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
General					
Supply Voltage	4.5		20	V	
Supply Current		4	7	mA	$R_0 \geq 10K\Omega$. See <i>Figure 4</i> .
Oscillator Section					
Frequency Accuracy		± 1	± 3	%	Deviation from $f_O = 1/R_0 C_0$
Frequency Stability					
Temperature		± 20	± 50	ppm/ $^\circ C$	See <i>Figure 8</i> .
Power Supply		0.05	0.5	%/V	$V_{CC} = 12 \pm 1V$. See <i>Figure 7</i> .
		0.2		%/V	$V_{CC} = \pm 5V$. See <i>Figure 7</i> .
Upper Frequency Limit	100	300		kHz	$R_0 = 8.2K\Omega$, $C_0 = 400pF$
Lowest Practical Operating Frequency			0.01	Hz	$R_0 = 2M\Omega$, $C_0 = 50\mu F$
Timing Resistor, R_0 - See <i>Figure 5</i>					
Operating Range	5		2000	K Ω	
Recommended Range	5			K Ω	See <i>Figure 7</i> and <i>Figure 8</i> .
Loop Phase Detector Section					
Peak Output Current	± 150	± 200	± 300	μA	Measured at Pin 11
Output Offset Current		1		μA	
Output Impedance		1		M Ω	
Maximum Swing	± 4	± 5		V	Referenced to Pin 10
Quadrature Phase Detector Measured at Pin 3					
Peak Output Current	100	300		μA	
Output Impedance		1		M Ω	
Maximum Swing		11		V _{PP}	
Input Preempt Section Measured at Pin 2					
Input Impedance		20		K Ω	
Input Signal					
Voltage Required to Cause Limiting		2	10	mV rms	

Notes

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Test Conditions: $V_{CC} = 12V$, $T_A = +25^\circ C$, $R_O = 30K\Omega$, $C_O = 0.033\mu F$, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
Voltage Comparator Section					
Input Impedance		2		M Ω	Measured at Pins 3 and 8
Input Bias Current		100		nA	
Voltage Gain	55	70		dB	$R_L = 5.1K\Omega$
Output Voltage Low		300	500	mV	$I_C = 3mA$
Output Leakage Current		0.01	10	μA	$V_O = 20V$
Internal Reference					
Voltage Level	4.9	5.3	5.7	V	Measured at Pin 10
Output Impedance		100		Ω	AC Small Signal
Maximum Source Current		80		μA	

Notes

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production. **Bold face parameters** are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 20V
 Input Signal Level 3V rms
 Power Dissipation 900mW

Package Power Dissipation Ratings
 CDIP 750mW
 Derate Above $T_A = 25^\circ C$ 8mW/ $^\circ C$
 PDIP 800mW
 Derate Above $T_A = 25^\circ C$ 60mW/ $^\circ C$
 SOIC 390mW
 Derate Above $T_A = 25^\circ C$ 5mW/ $^\circ C$

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current (f_O) set by a resistor (R_O) to ground and its driving current with a resistor (R_I) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies

(internally connected). When in lock, these frequencies are $f_{IN} + f_{VCO}$ (2 times f_{IN} when in lock) and $f_{IN} - f_{VCO}$ (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times f_{IN} component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is AC coupled to this terminal. The internal impedance at pin 2 is 20K Ω . Recommended input signal level is in the range of 10mV rms to 3V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, pin 3 is connected to ground through a parallel combination of R_D and C_D (see *Figure 3*) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, pin 3 can be left open.

Lock Detect Output, Q (Pin 6): The output at pin 6 is at “low” state when the PLL is out of lock and goes to “high” state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V_{CC} for proper operation. At “low” state, it can sink up to 5mA of load current.

Lock Detect Complement, (Pin 5): The output at pin 5 is the logic complement of the lock detect output at pin 6. This output is also an open collector type stage which can sink 5mA of load current at low or “on” state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V_{CC} for proper operation. It can sink 5mA of load current. When decoding FSK signals, FSK data output is at “high” or “off” state for low input frequency, and at “low” or “on” state for high input frequency. If no input signal is present, the logic state at pin 7 is indeterminate.

FSK Comparator Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (pin 11). This data filter is formed by R_F and C_F (see *Figure 3*.) The threshold voltage of the comparator is set by the internal reference voltage, V_{REF}, available at pin 10.

Reference Voltage, V_{REF} (Pin 10): This pin is internally biased at the reference voltage level, V_{REF}: V_{REF} = V_{CC}/2 - 650mV. The DC voltage level at this pin forms an internal reference for the voltage levels at pins 5, 8, 11 and 12. Pin

10 must be bypassed to ground with a 0.1 μ F capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R₁ and C₁ connected to pin 11 (see *Figure 3*.) With no input signal, or with no phase error within the PLL, the DC level at pin 11 is very nearly equal to V_{REF}. The peak to peak voltage swing available at the phase detector output is equal to 2 x V_{REF}.

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R₀, connected from this terminal to ground. The VCO free-running frequency, f₀, is:

$$f_0 = \frac{1}{R_0 \cdot C_0} \text{ Hz}$$

where C₀ is the timing capacitor across pins 13 and 14. For optimum temperature stability, R₀ must be in the range of 10K Ω to 100K Ω (see *Figure 9*.)

This terminal is a low impedance point, and is internally biased at a DC level equal to V_{REF}. The maximum timing current drawn from pin 12 must be limited to \leq 3mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C₀, connected across these terminals (see *Figure 6*.) C₀ must be non-polar, and in the range of 200pF to 10 μ F.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R₀ at pin 12 (see *Figure 10*.)

VCO Free-Running Frequency, f₀: XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment purposes, the VCO free-running frequency can be tuned by using the generalized circuit in *Figure 3*, and applying an alternating bit pattern of 0's and 1's at the known mark and space frequencies. By adjusting R₀, the VCO can then be tuned to obtain a 50% duty cycle on the FSK output (pin 7). This will ensure that the VCO f₀ value is accurately referenced to the mark and space frequencies.

DESIGN EQUATIONS

(All resistance in Ω , all frequency in Hz and all capacitance in farads, unless otherwise specified)

(See *Figure 3* for definition of components)

1. VCO Center Frequency, f_O :

$$f_O = \frac{1}{R_0 \cdot C_0}$$

2. Internal Reference Voltage, V_{REF} (measured at pin 10):

$$V_{REF} = \left(\frac{V_{CC}}{2} \right) - 650mV \text{ in volts}$$

3. Loop Low-Pass Filter Time Constant, τ :

$$\tau = C_1 \cdot R_{PP} \text{ (seconds)}$$

where:

$$R_{PP} = \left(\frac{R_1 \cdot R_F}{R_1 + R_F} \right)$$

if R_F is ∞ or C_F reactance is ∞ , then $R_{PP} = R_1$

4. Loop Damping, ζ :

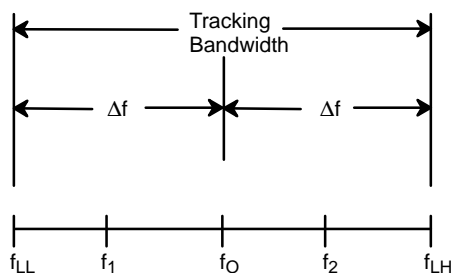
$$\zeta = \sqrt{\left(\frac{1250 \cdot C_0}{R_1 \cdot C_1} \right)}$$

Note: For derivation/explanation of this equation, please see TAN-011.

5. Loop-tracking

bandwidth, $\pm = \frac{\Delta f}{f_0}$

$$\frac{\Delta f}{f_0} = \frac{R_0}{R_1}$$



6. FSK Data filter time constant, t_F :

$$\tau_F = \frac{R_B \cdot R_F}{(R_B + R_F)} \cdot C_F \text{ (seconds)}$$

7. Loop phase detector conversion gain, K_d : (K_d is the differential DC voltage across pin 10 and pin11, per unit of phase error at phase detector input):

$$K_d = \frac{V_{REF} \cdot R_1}{10,000 \cdot \pi} \left[\frac{\text{volt}}{\text{radian}} \right]$$

Note: For derivation/explanation of this equation, please see TAN-011.

8. VCO conversion gain, K_o : (K_o is the amount of change in VCO frequency, per unit of DC voltage change at pin 11):

$$K_o = \frac{-2\pi}{V_{REF} \cdot C_0 \cdot R_1} = \left(\frac{\text{radian/second}}{\text{volt}} \right)$$

9. The filter transfer function:

$$F(s) = \frac{1}{1 + sR_1 \cdot C_1} \text{ at } 0 \text{ Hz.} \quad S = j\omega \text{ and } \omega = 0$$

10. Total loop gain. K_T :

$$K_T = K_o \cdot K_d \cdot F(s) = \left(\frac{R_F}{5,000 \cdot C_0 \cdot (R_1 + R_F)} \right) \left[\frac{1}{\text{seconds}} \right]$$

11. Peak detector current I_A :

$$I_A = \frac{V_{REF}}{20,000} \text{ (} V_{REF} \text{ in volts and } I_A \text{ in amps)}$$

Note: For derivation/explanation of this equation, please see TAN-011.

APPLICATIONS INFORMATION

FSK Decoding

Figure 10 shows the basic circuit connection for FSK decoding. With reference to Figure 3 and Figure 10, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B from pin 7 to pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Design Instructions:

The circuit of Figure 10 can be tailored for any FSK decoding application by the choice of five key circuit components: R_0 , R_1 , C_0 , C_1 and C_F . For a given set of FSK mark and space frequencies, f_0 and f_1 , these parameters can be calculated as follows:

(All resistance in Ω 's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

- a) Calculate PLL center frequency, f_0 :

$$f_0 = \sqrt{F_1 \cdot F_2}$$

- b) Choose value of timing resistor R_0 , to be in the range of 10K Ω to 100K Ω . This choice is arbitrary. The recommended value is $R_0 = 20K\Omega$. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X .

$$R_o = R_0 + \frac{R_X}{2}$$

- c) Calculate value of C_0 from design equation (1) or from Figure 7:

$$C_0 = \frac{1}{R_0 \cdot f_0}$$

- d) Calculate R_1 to give the desired tracking bandwidth (See design equation 5).

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_2)} \cdot 2$$

- e) Calculate C_1 to set loop damping. (See design equation 4):

Normally, $\zeta = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \zeta^2}$$

- f) The input to the XR-2211 may sometimes be too sensitive to noise conditions on the input line. *Figure 4* illustrates a method of de-sensitizing the XR-2211 from such noisy line conditions by the use of a resistor, Rx, connected from pin 2 to ground. The value of Rx is chosen by the equation and the desired minimum signal threshold level.

$$V_{IN \text{ minimum (peak)}} = V_a - V_b = \Delta V \pm 2.8mV \text{ offset} = V_{REF} \frac{20,000}{(20,000 + R_x)} \text{ or } R_x = 20,000 \left(\frac{V_{REF}}{\Delta V} - 1 \right)$$

V_{IN} minimum (peak) input voltage must exceed this value to be detected (equivalent to adjusting V threshold)

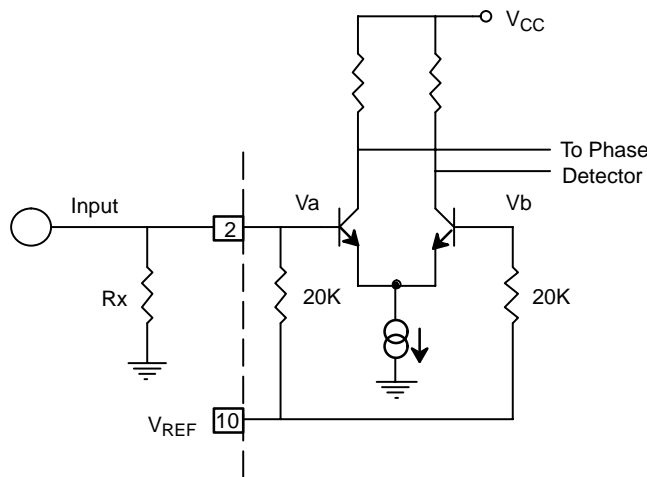


Figure 4. Desensitizing Input Stage

- g) Calculate Data Filter Capacitance, C_F:

$$R_{sum} = \frac{(R_F + R_1) \cdot R_B}{(R_1 + R_F + R_B)}$$

$$C_F = \frac{0.25}{(R_{sum} \cdot \text{Baud Rate})} \quad \text{Baud rate in } \frac{1}{\text{seconds}}$$

Note: All values except R₀ can be rounded to nearest standard value.

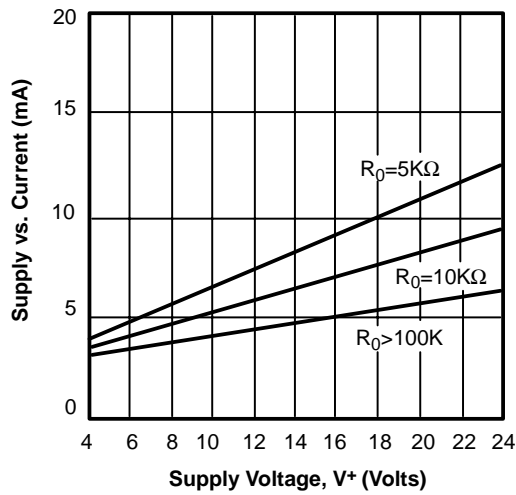


Figure 5. Typical Supply Current vs. V+ (Logic Outputs Open Circuited)

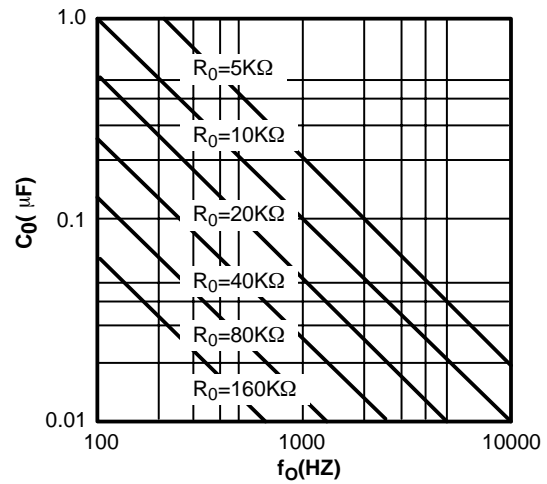


Figure 6. VCO Frequency vs. Timing Resistor

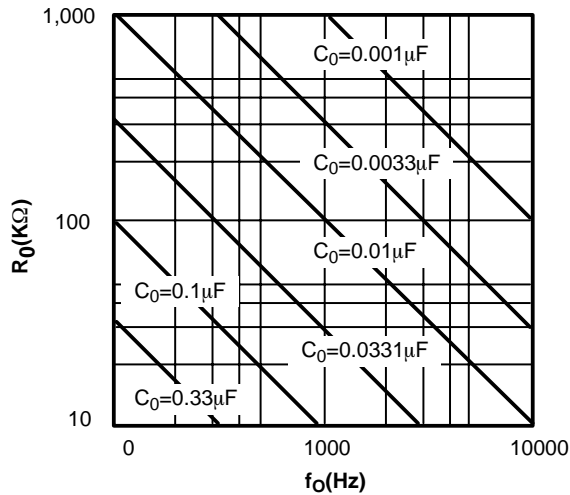


Figure 7. VCO Frequency vs. Timing Capacitor

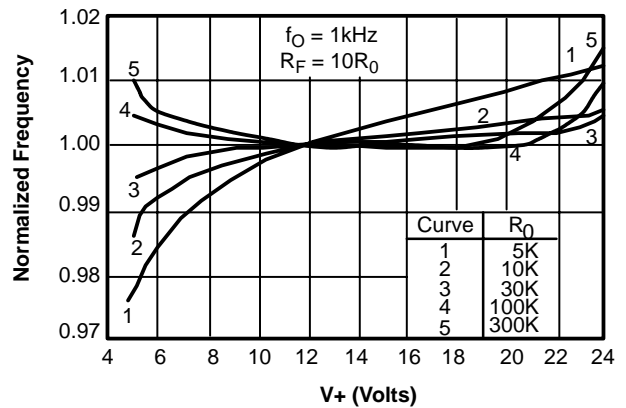


Figure 8. Typical f_0 vs. Power Supply Characteristics

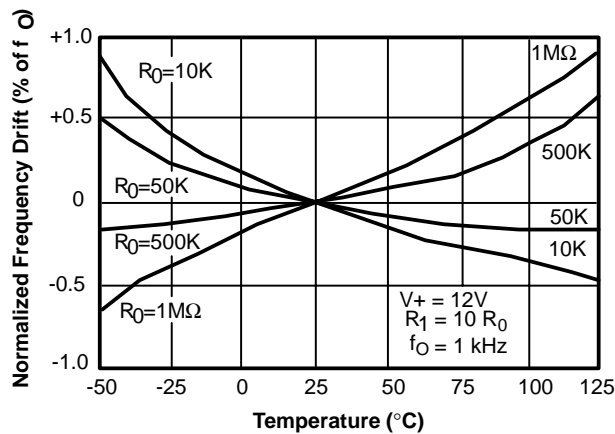


Figure 9. Typical Center Frequency Drift vs. Temperature

Initial Design Example: 1200 Baud FSK demodulator with mark and space frequencies of 1200/2200.

Modified by Léo Côme: 9600 Baud FSK demodulator with mark and space frequencies of 14400/24000.

Step 1: Calculate f_o : from design instructions

$$(a) f_o = \sqrt{14400 \cdot 24000} = 18590$$

Step 2: Calculate R_o : $R_o = 10K$ with a potentiometer of 10K. (See design instructions (b))

$$(b) R_T = 10 + \left(\frac{10}{2}\right) = 15K$$

Step 3: Calculate C_o from design instructions

$$(c) C_o = \frac{1}{15000 \cdot 18590} = 3.6nF$$

Step 4: Calculate R_1 : from design instructions

$$(d) R_1 = \frac{15000 \cdot 18590 \cdot 2}{(24000 - 14400)} = 58K$$

Step 5: Calculate C_1 : from design instructions

$$(e) C_1 = \frac{1250 \cdot 3.6nF}{58000 \cdot 0.5^2} = 0.30nF$$

Step 6: Calculate R_F : R_F should be at least five times R_1 , $R_F = 58,000 \cdot 5 = 300 K\Omega$

Step 7: Calculate R_B : R_B should be at least five times R_F , $R_B = 300,000 \cdot 5 = 1.5 M\Omega$

Step 8: Calculate R_{SUM} :

$$R_{SUM} = \frac{(R_F + R_1) \cdot R_B}{(R_F + R_1 + R_B)} = 300K\Omega$$

Step 9: Calculate C_F :

$$C_F = \frac{0.25}{(R_{SUM} \text{ Baud Rate})} = 0.1nF$$

Note: All values except R_o can be rounded to nearest standard value.

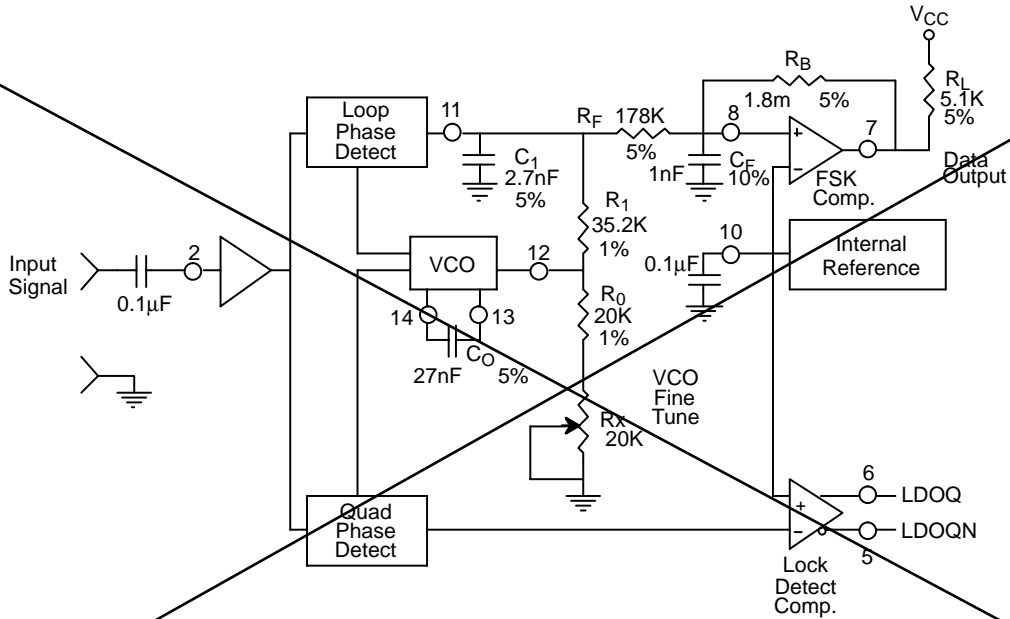


Figure 10. Circuit Connection for FSK Decoding of Caller Identification Signals (Bell 202 Format)

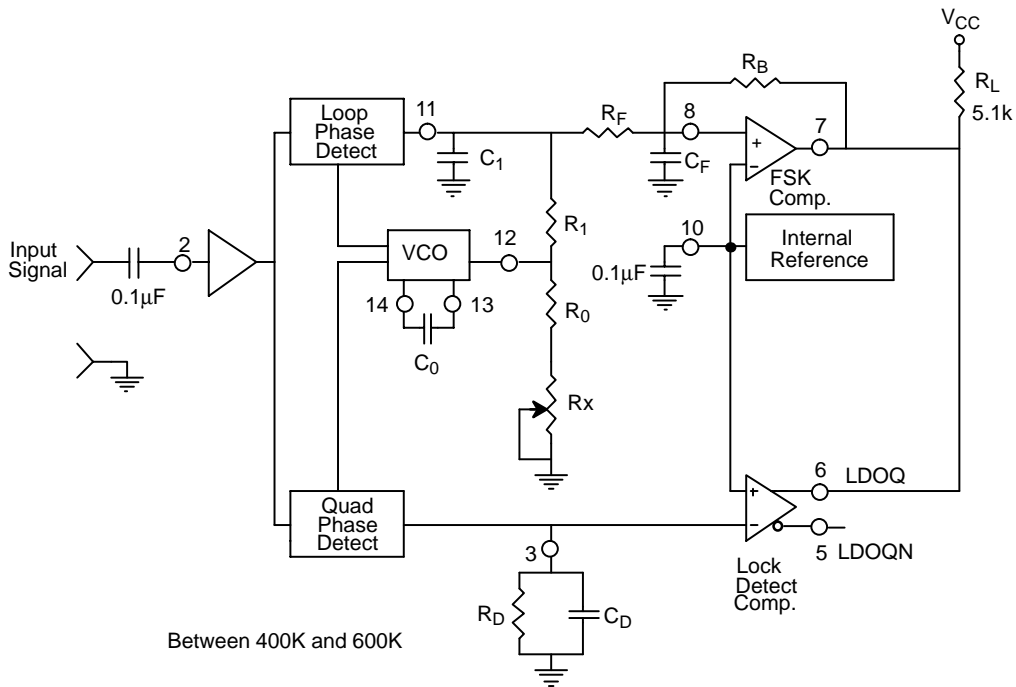


Figure 11. External Connectors for FSK Demodulation with Carrier Detect Capability

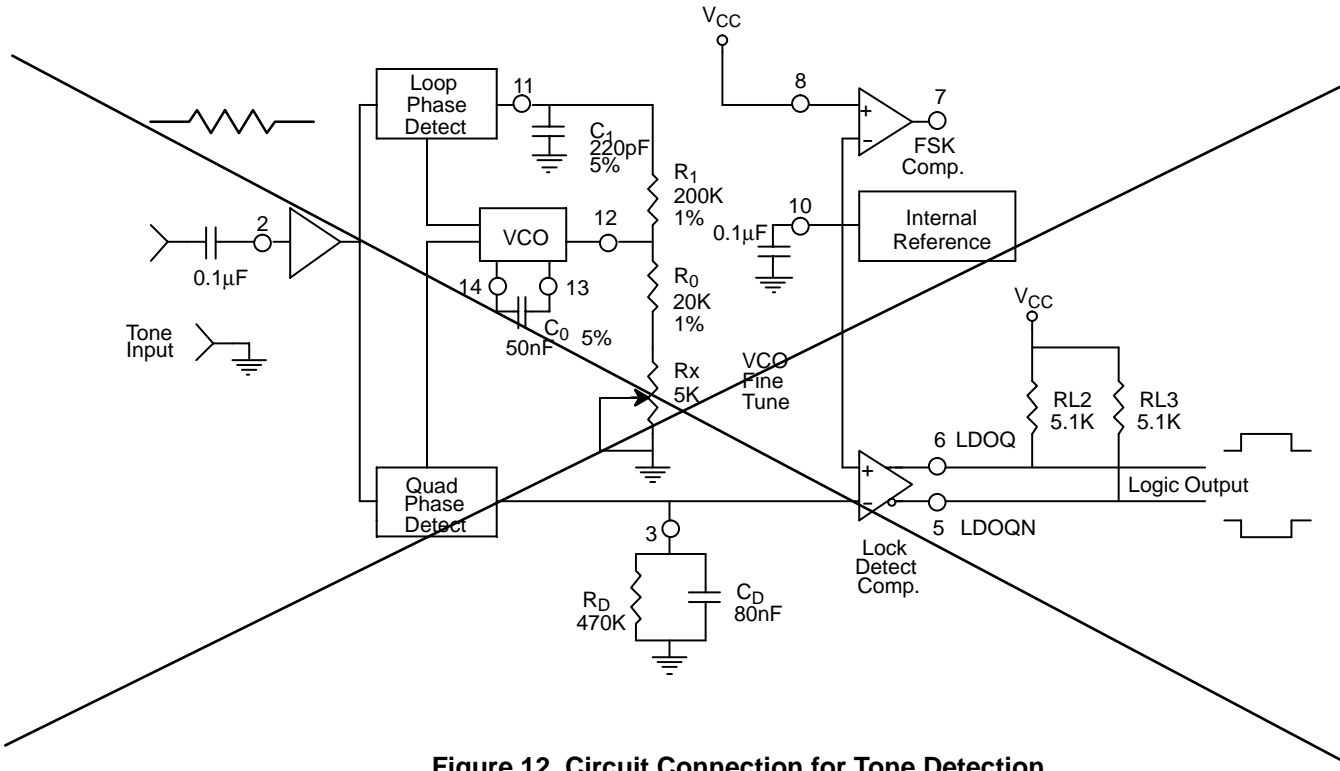


Figure 12. Circuit Connection for Tone Detection

FSK Decoding with Carrier Detect

The lock detect section of XR-2211 can be used as a carrier detect option for FSK decoding. The recommended circuit connection for this application is shown in Figure 11. The open collector lock detect output, pin 6, is shorted to data output (pin 7). Thus, data output will be disabled at “low” state, until there is a carrier within the detection band of the PLL and the pin 6 output goes “high” to enable the data output.

Note: Data Output is “Low” When No Carrier is Present.

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta f_c$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1 . For most applications, $\Delta f_c > \Delta f/2$. For $R_D = 470K\Omega$, the approximate minimum value of C_D can be determined by:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu\text{F} \text{ and } f \text{ in Hz.}$$

C in μF and f in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal

frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output. For Caller I.D. applications choose $C_D = 0.1\mu\text{F}$.

Tone Detection

Figure 12 shows the generalized circuit connection for tone detection. The logic outputs, LDOQN and LDOQ at pins 5 and 6 are normally at “high” and “low” logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5mA of load current.

Both outputs at pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L2} and R_{L3} , as shown in Figure 12.

With reference to Figure 3 and Figure 12, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor.

Design Instructions:

The circuit of *Figure 12* can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0 , R_1 , C_0 , C_1 and C_D . For a given input, the tone frequency, f_S , these parameters are calculated as follows:

(All resistance in Ω 's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

- Choose value of timing resistor R_0 to be in the range of 10K Ω to 50K Ω . This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is $R_0 = 20\text{K}\Omega$. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X .
- Calculate value of C_0 from design equation (1) or from *Figure 7* $f_S = f_0$:

$$C_0 = \frac{1}{R_0 \cdot f_S}$$

- Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_0 \cdot 2}{\Delta f}$$

Note: The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$

- Calculate value of C_1 for a given loop damping factor:

Normally, $\zeta = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \zeta^2}$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

- Calculate value of the filter capacitor C_D . To avoid chatter at the logic output, with $R_D = 470\text{K}\Omega$, C_D must be:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of $\pm 100\text{Hz}$:

- Choose value of timing resistor R_0 to be in the range of 10K Ω to 50K Ω . This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is $R_0 = 20\text{K}\Omega$. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X .
- Calculate value of C_0 from design equation (1) or from *Figure 6* $f_S = f_0$:

$$C_0 = \frac{1}{R_0 \cdot f_S} = \frac{1}{20,000 \cdot 1,000} = 50\text{nF}$$

c) Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_0 \cdot 2}{\Delta f} = \frac{20,000 \cdot 1,000 \cdot 2}{100} = 400K$$

Note: The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$

d) Calculate value of C_0 for a given loop damping factor:

Normally, $\zeta = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \zeta^2} = \frac{1250 \cdot 50 \cdot 10^{-9}}{400,000 \cdot 0.5^2} = 6.25pF$$

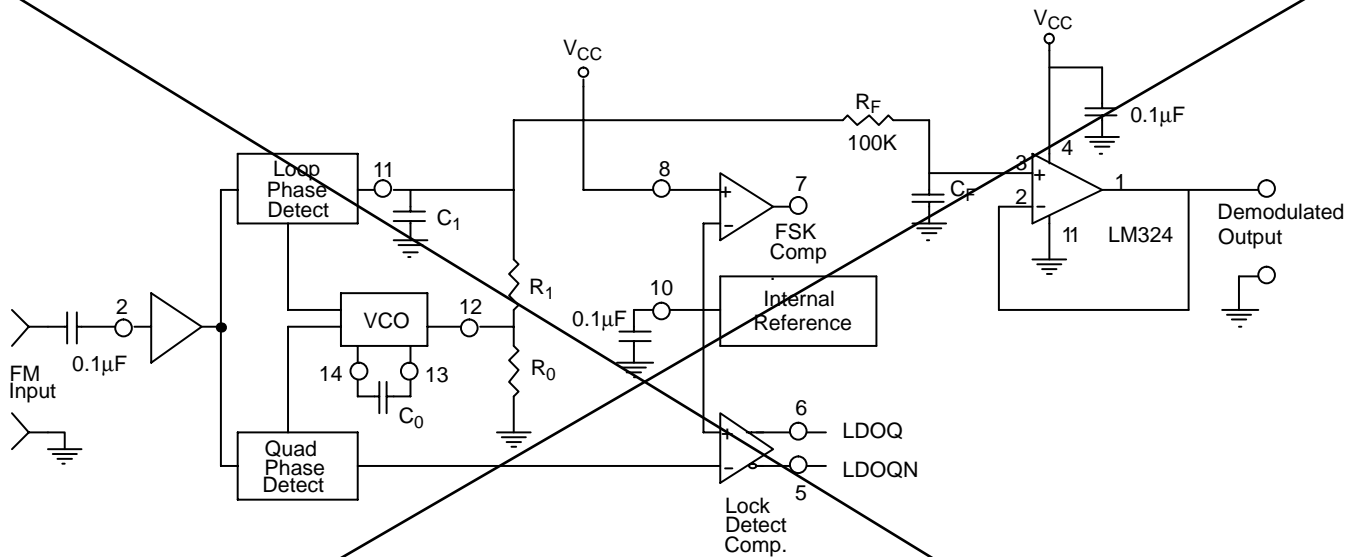
Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D . To avoid chatter at the logic output, with $R_D = 470K\Omega$, C_D must be:

$$C_D = \frac{16}{\Delta f} \geq \frac{16}{200} \geq 80nF$$

Increasing C_D slows down the logic output response time.

f) Fine tune center frequency with $5K\Omega$ potentiometer, R_X .



**Figure 13. Linear FM Detector Using XR-2211 and an External Op Amp.
(See Section on Design Equation for Component Values.)**

Linear FM Detection

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 13. The demodulated output is taken from the loop phase detector output (pin 11), through a post-detection filter made up of R_F and C_F , and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 13.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{OUT} = \frac{R_1 \cdot V_{REF}}{100 \cdot R_0}$$

where V_R is the internal reference voltage ($V_{REF} = V_{CC}/2 - 650mV$). For the choice of external components R_1 , R_0 , C_D , C_1 and C_F , see the section on design equations.

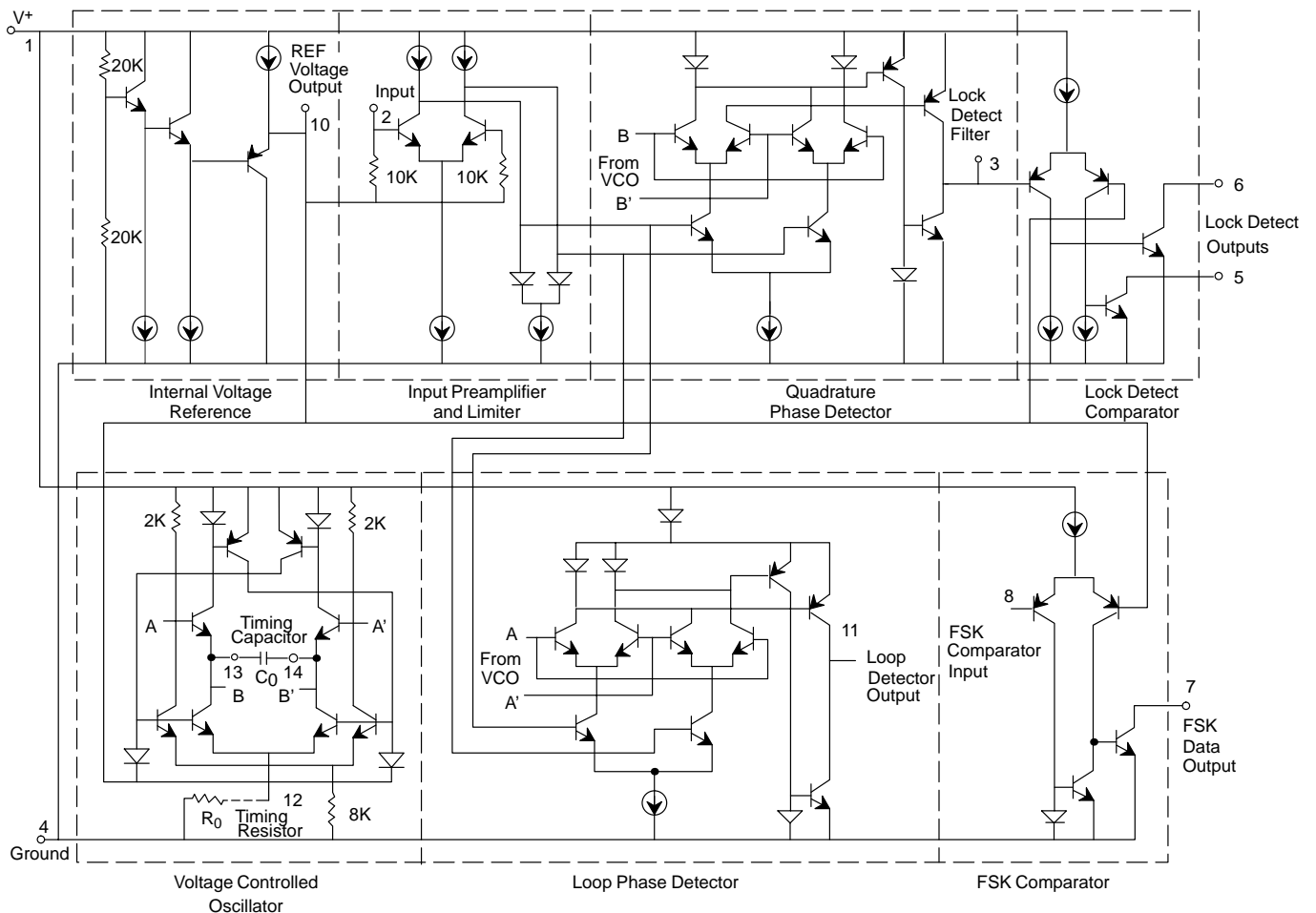
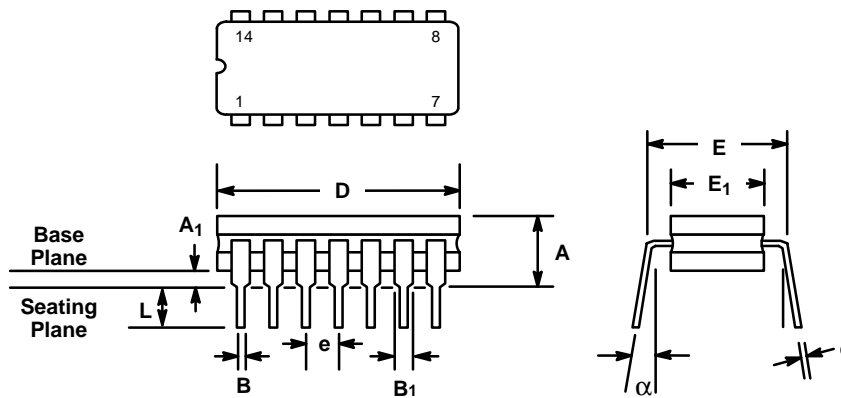


Figure 14. Equivalent Schematic Diagram

**14 LEAD CERAMIC DUAL-IN-LINE
(300 MIL CDIP)**

Rev. 1.00

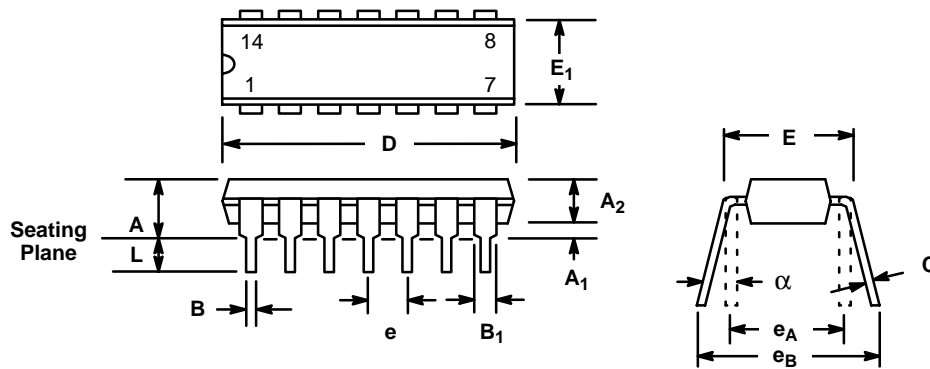


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A ₁	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B ₁	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.685	0.785	17.40	19.94
E ₁	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

14 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00

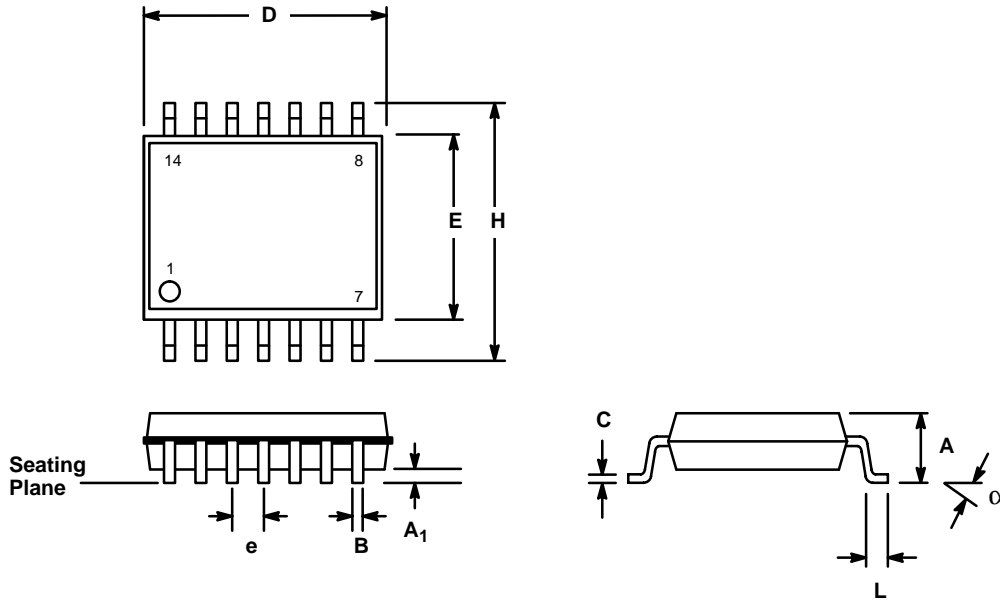


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A ₁	0.015	0.070	0.38	1.78
A ₂	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B ₁	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.725	0.795	18.42	20.19
E	0.300	0.325	7.62	8.26
E ₁	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e _A	0.300 BSC		7.62 BSC	
e _B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

**14 LEAD SMALL OUTLINE
(150 MIL JEDEC SOIC)**

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A ₁	0.004	0.010	0.10	0.25
B	0.013	0.020	0.33	0.51
C	0.007	0.010	0.19	0.25
D	0.337	0.344	8.55	8.75
E	0.150	0.157	3.80	4.00
e	0.050 BSC		1.27 BSC	
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

Notes

Notes

NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked; no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1995 EXAR Corporation

Datasheet June 1997

Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	-40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

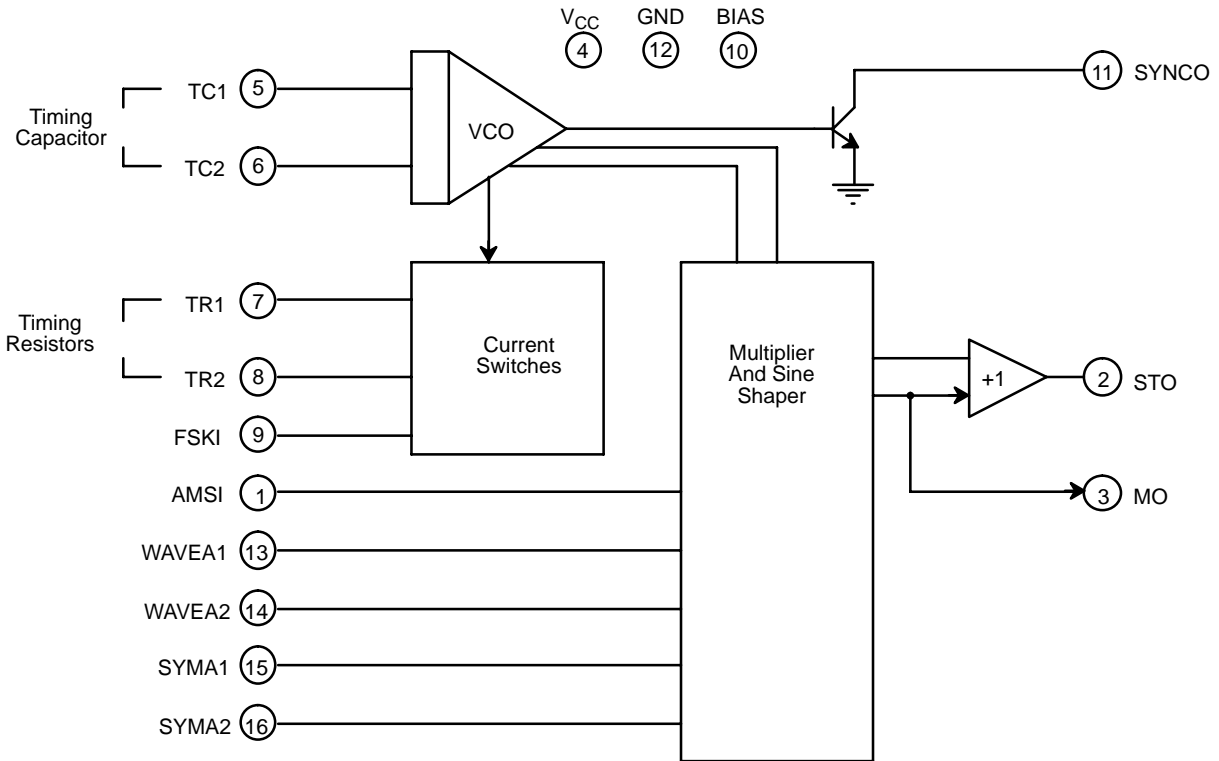
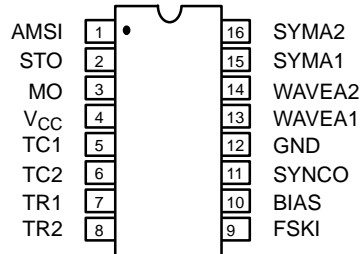
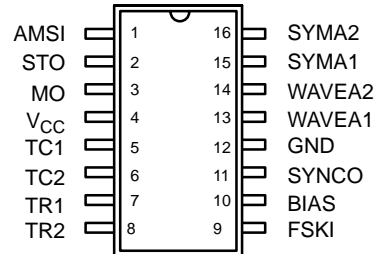


Figure 1. XR-2206 Block Diagram



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	Amplitude Modulating Signal Input.
2	STO	O	Sine or Triangle Wave Output.
3	MO	O	Multiplier Output.
4	V _{CC}		Positive Power Supply.
5	TC1	I	Timing Capacitor Input.
6	TC2	I	Timing Capacitor Input.
7	TR1	O	Timing Resistor 1 Output.
8	TR2	O	Timing Resistor 2 Output.
9	FSKI	I	Frequency Shift Keying Input.
10	BIAS	O	Internal Voltage Reference.
11	SYNCO	O	Sync Output. This output is a open collector and needs a pull up resistor to V _{CC} .
12	GND		Ground pin.
13	WAVEA1	I	Wave Form Adjust Input 1.
14	WAVEA2	I	Wave Form Adjust Input 2.
15	SYMA1	I	Wave Symetry Adjust 1.
16	SYMA2	I	Wave Symetry Adjust 2.

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* $V_{CC} = 12V$, $T_A = 25^\circ C$, $C = 0.01\mu F$, $R_1 = 100k\Omega$, $R_2 = 10k\Omega$, $R_3 = 25k\Omega$
 Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000pF$, $R_1 = 1k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\mu F$, $R_1 = 2M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	±50		±20		ppm/°C	$0^\circ C \leq T_A \leq 70^\circ C$ $R_1 = R_2 = 20k\Omega$
Sine Wave Amplitude Stability ²		4800			4800		ppm/°C	
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$f_H @ R_1 = 1k\Omega$ $f_L @ R_1 = 2M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1kHz$, $f_H = 10kHz$
1000:1 Sweep		8			8		%	$f_L = 100Hz$, $f_H = 100kHz$
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	<i>Figure 5</i>
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output¹								<i>Figure 3</i>
Triangle Amplitude		160			160		mV/kΩ	<i>Figure 2</i> , S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	<i>Figure 2</i> , S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See <i>Figure 7</i> and <i>Figure 8</i>

Notes

¹ Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See *Figure 3*.

² For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		k Ω	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C _L = 10pF
Fall Time		50			50		ns	C _L = 10pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	I _L = 2mA
Leakage Current		0.1	20		0.1	100	μ A	V _{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Notes

¹ Output amplitude is directly proportional to the resistance, R₃, on Pin 3. See Figure 3.

² For maximum amplitude stability, R₃ should be a positive temperature coefficient resistor.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
 Power Dissipation 750mW
 Derate Above 25°C 5mW/°C

Total Timing Current 6mA
 Storage Temperature -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing

terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

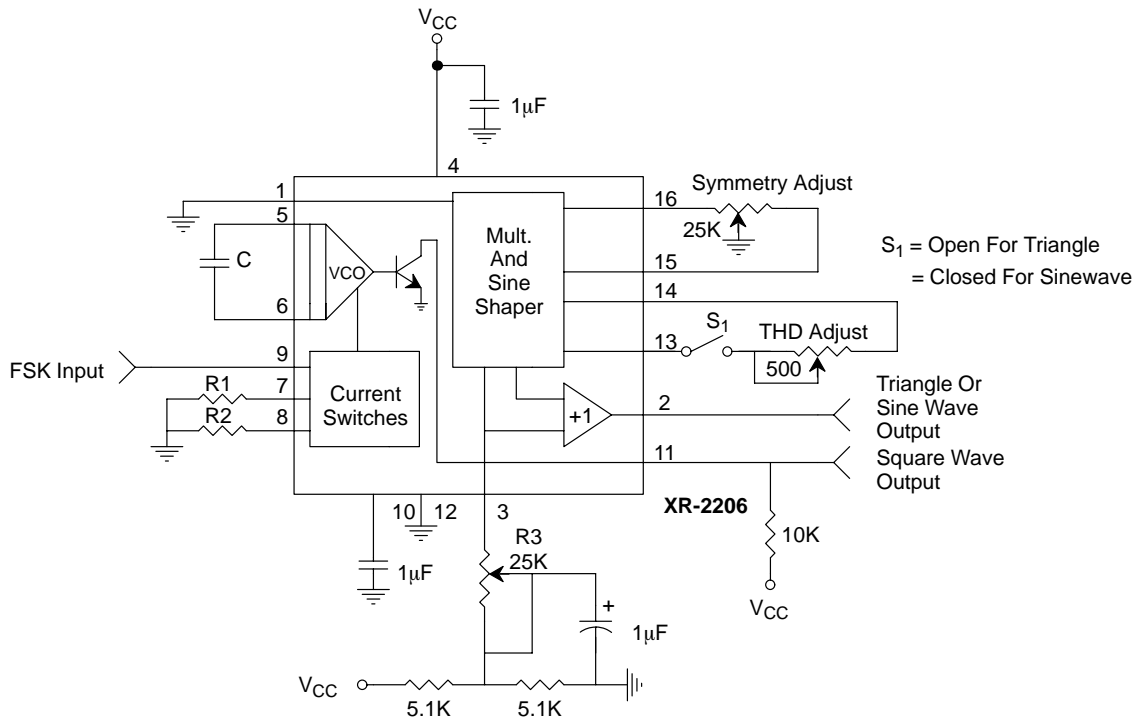


Figure 2. Basic Test Circuit

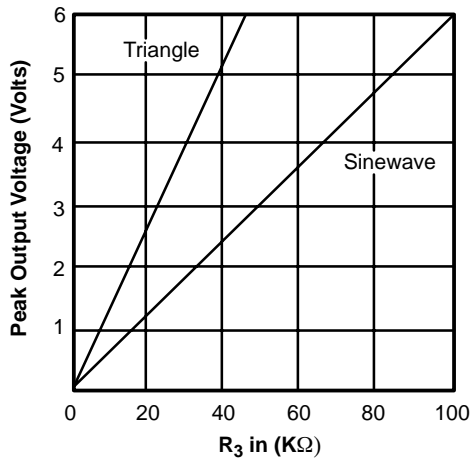


Figure 3. Output Amplitude as a Function of the Resistor, R₃, at Pin 3

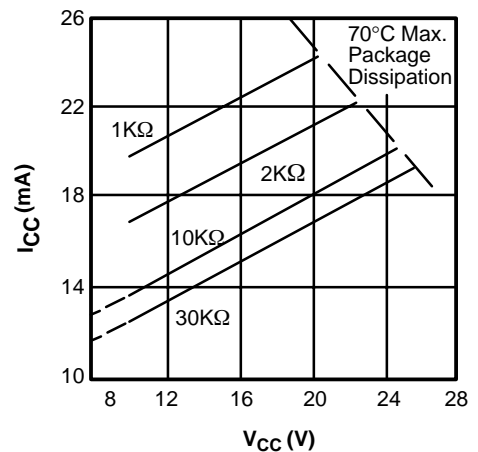


Figure 4. Supply Current vs Supply Voltage, Timing, R

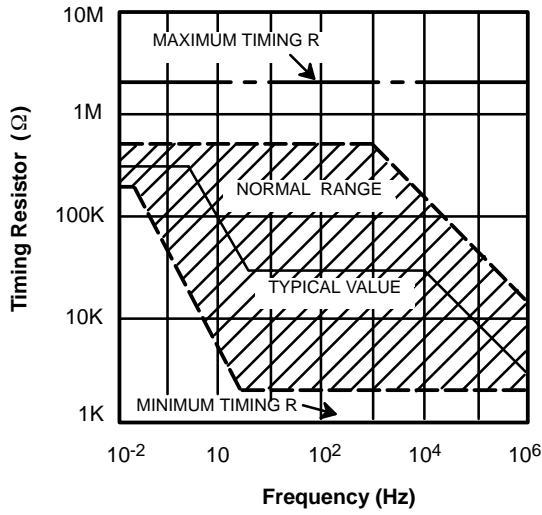


Figure 5. R versus Oscillation Frequency.

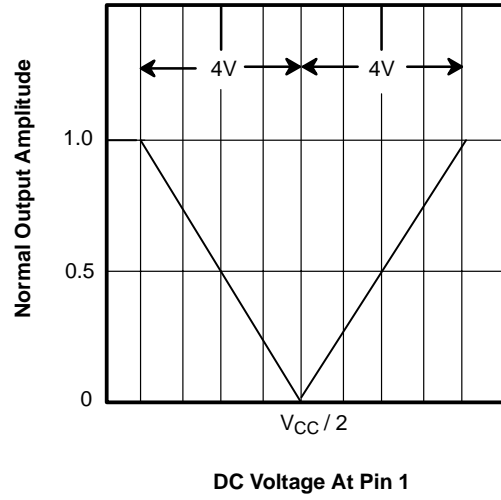


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

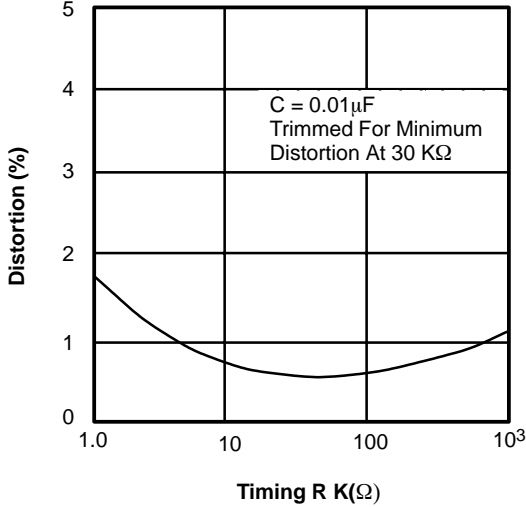


Figure 7. Trimmed Distortion versus Timing Resistor.

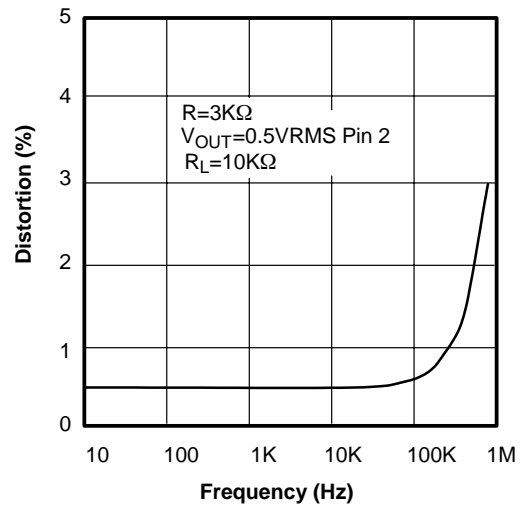


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

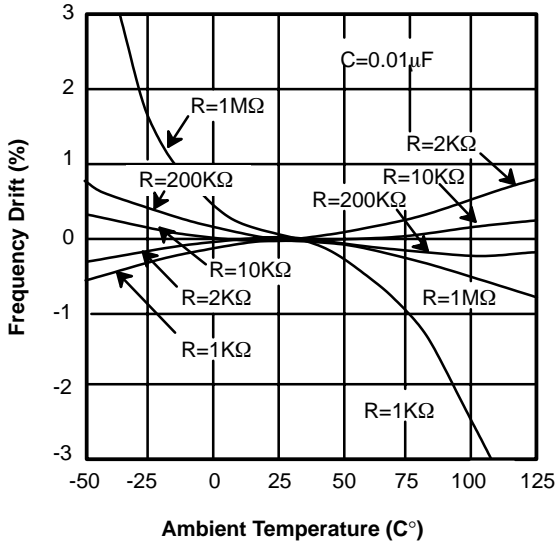


Figure 9. Frequency Drift versus Temperature.

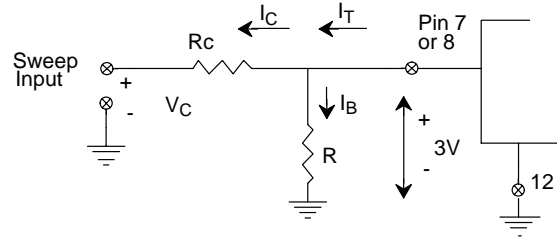


Figure 10. Circuit Connection for Frequency Sweep.

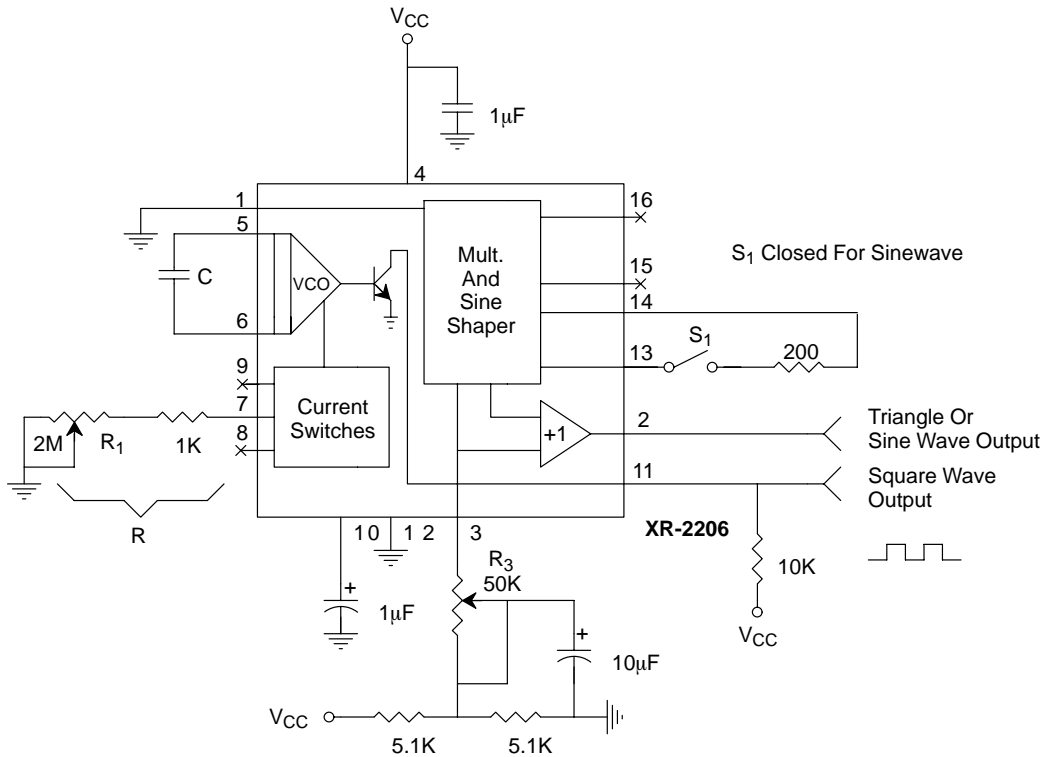


Figure 11. Circuit for Sine Wave Generation without External Adjustment.
(See Figure 3 for Choice of R_3)

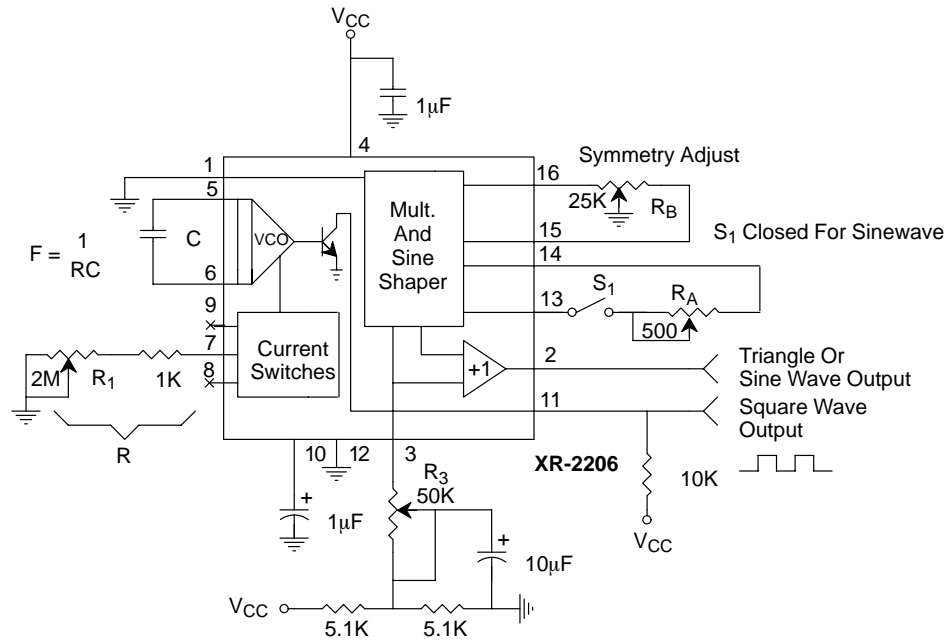


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion.
(R₃ Determines Output Swing - See Figure 3)

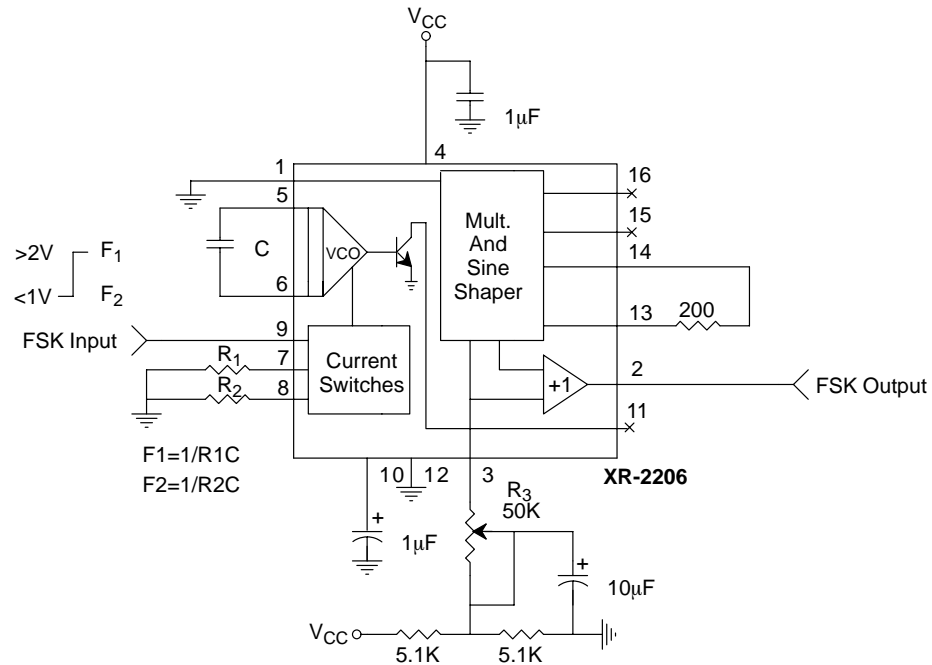


Figure 13. Sinusoidal FSK Generator

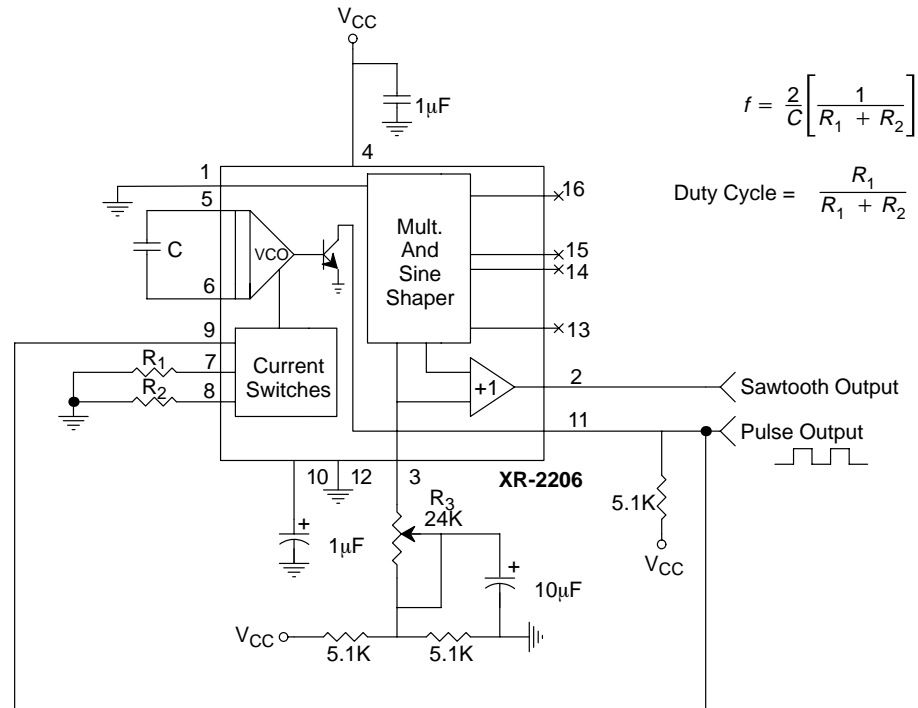


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13*. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels. f_1 and f_2 , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^- .

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is $< 2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V^- . For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12*. The potentiometer, R_A , adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2 ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^- .

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of $1k\Omega$ to $2M\Omega$.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_0 , is determined by the external timing capacitor, C , across Pin 5 and 6, and by the timing resistor, R , connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C . The recommended values of R , for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for $4k\Omega < R < 200k\Omega$. Recommended values of C are from $1000pF$ to $100\mu F$.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T , drawn from Pin 7 or 8:

$$f = \frac{320I_T(mA)}{C(\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T , over a wide range of current values, from $1\mu A$ to $3mA$. The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left(1 + \frac{R}{R_c} \left(1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K , is given as:

$$K = \partial f / \partial V_C = - \frac{0.32}{R_c C} \text{ Hz/V}$$

CAUTION: For safety operation of the circuit, I_T should be limited to $\leq 3mA$.

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3 , connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per $k\Omega$ of R_3 ; for triangle, the peak amplitude is approximately 160mV peak per $k\Omega$ of R_3 . Thus, for example, $R_3 = 50k\Omega$ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance

at Pin 1 is approximately 100k Ω . Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V_{CC} .

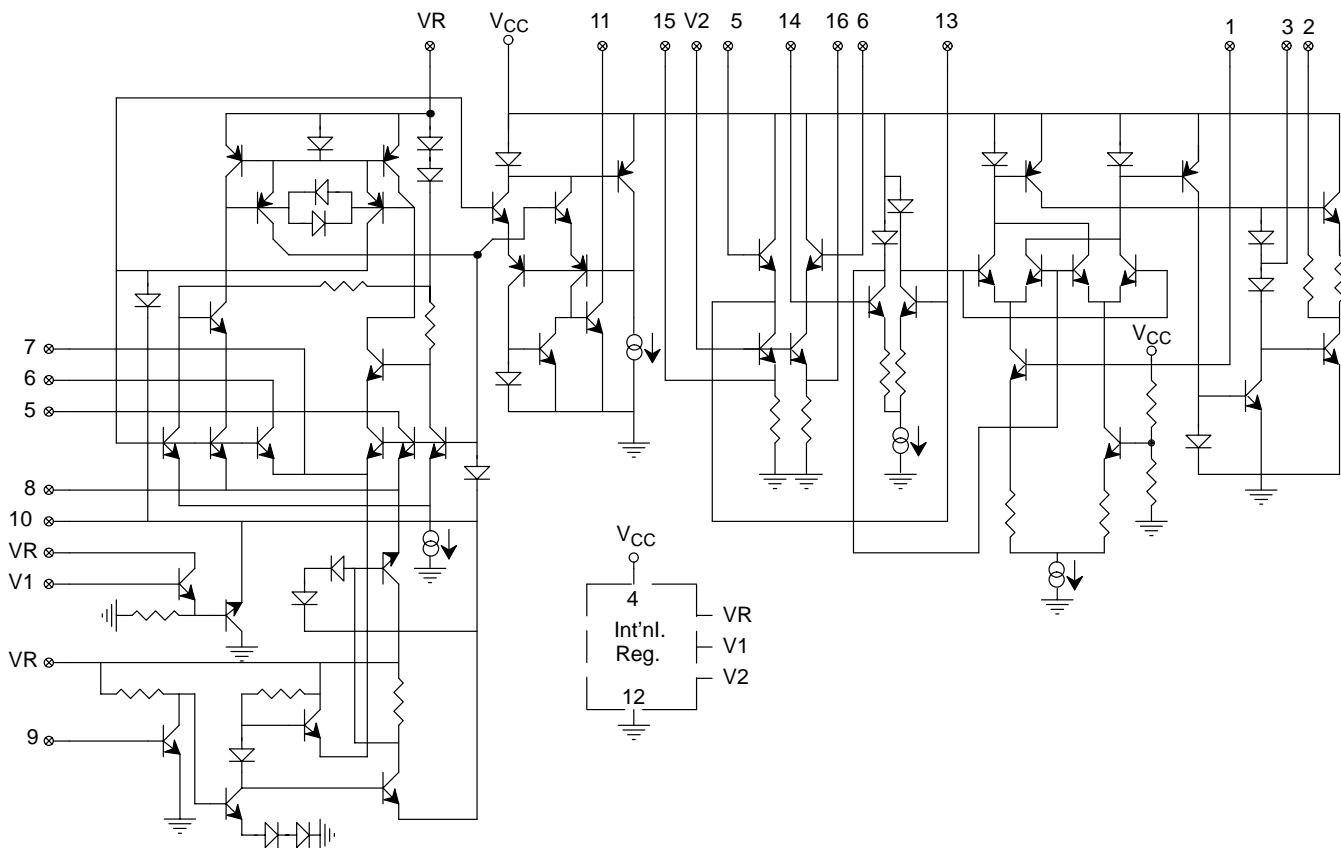
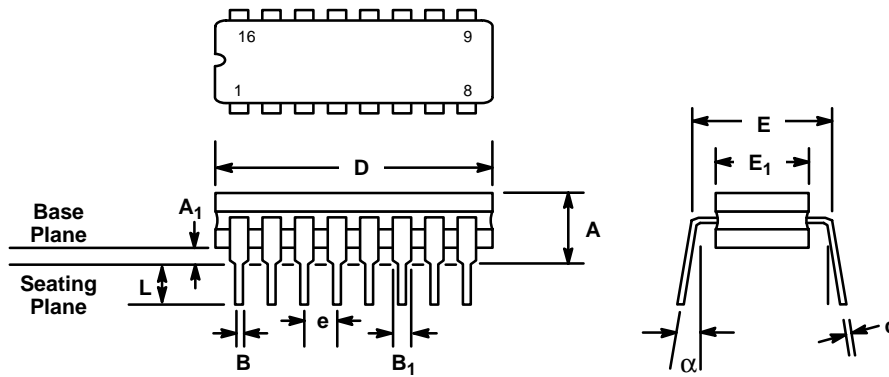


Figure 15. Equivalent Schematic Diagram

**16 LEAD CERAMIC DUAL-IN-LINE
(300 MIL CDIP)**

Rev. 1.00

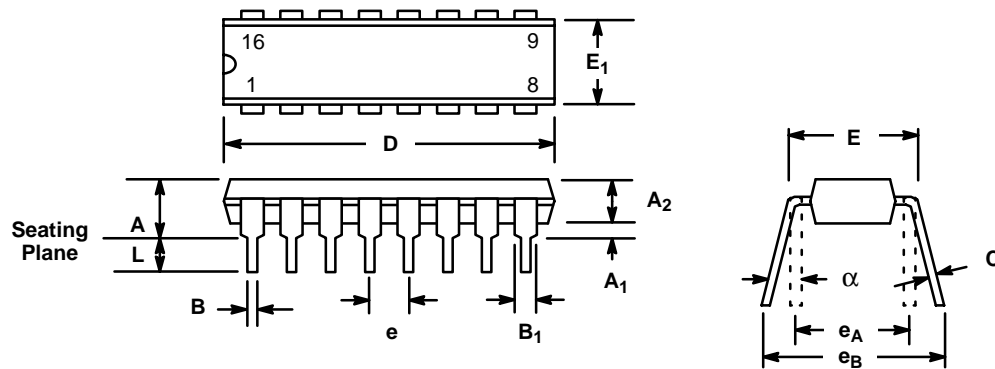


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A ₁	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B ₁	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E ₁	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00

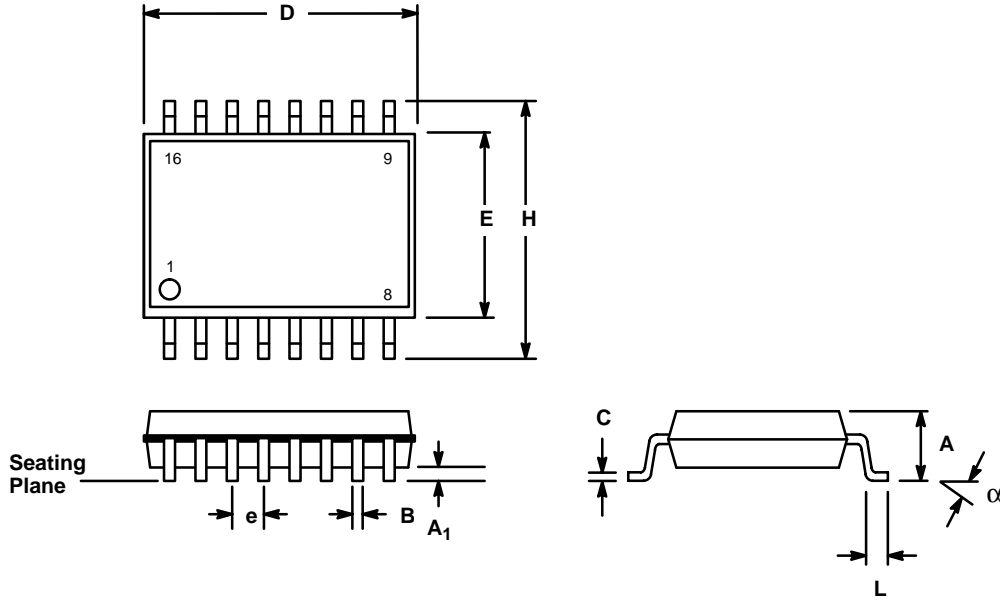


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A ₁	0.015	0.070	0.38	1.78
A ₂	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B ₁	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.26
E ₁	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e _A	0.300 BSC		7.62 BSC	
e _B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

**16 LEAD SMALL OUTLINE
(300 MIL JEDEC SOIC)**

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A ₁	0.004	0.012	0.10	0.30
B	0.013	0.020	0.33	0.51
C	0.009	0.013	0.23	0.32
D	0.398	0.413	10.10	10.50
E	0.291	0.299	7.40	7.60
e	0.050 BSC		1.27 BSC	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked; no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1972 EXAR Corporation

Datasheet June 1997

Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.